

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-205140

(43)Date of publication of application : 05.08.1997

(51)Int.Cl.

H01L 21/76
H01L 21/316

(21)Application number : 08-309590

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.11.1996

(72)Inventor : UMEZAWA KAORI
TSUCHIYA NORIHIKO
MATSUSHITA YOSHIAKI
KAMIJO HIROYUKI
YAGISHITA JUNJI
KITA TSUNEHICO

(30)Priority

Priority number : 07302993

Priority date : 21.11.1995

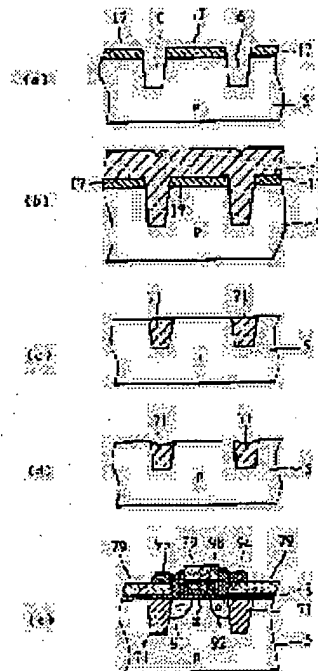
Priority country : JP

(54) ELEMENT ISOLATED SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a buried element-isolating technique using an organic silicon CVD method or the like such that the generation of crystal defects in an element forming region is restrained.

SOLUTION: A buried element isolated substrate is formed by selectively forming a groove portion 6 at a predetermined position of a semiconductor substrate 5, and embedding an oxide film formed by an organic silicon CVD method into the groove portion 6 as a buried oxide film 7. This buried oxide film 7 is heat-treated at 1100-1350° C before or after flattening of the semiconductor substrate 5. By heat-treatment, at least five membered ring or structure and at most four-membered ring structure in the buried oxide film 7 are constituted at a predetermined ratio.



LEGAL STATUS

[Date of request for examination]

14.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more slots formed in a part of front face of a semiconductor substrate. The embedded oxide film formed in the interior of this slot. The element formation field formed between these slots. It is the isolation semiconductor substrate equipped with the above, and is characterized by this embedded oxide film being an oxide film which was formed by organic silicon system CVD, the method of applying application glass, or one method of the anode oxidation methods, and was heat-treated at the temperature of 1100-1350 degrees C.

[Claim 2] Width of face I1 of depth d of the aforementioned slot, and opening of the aforementioned slot Aspect ratio $d/I1$ defined by the ratio with a size Isolation semiconductor substrate according to claim 1 characterized by being ten or less.

[Claim 3] Width of face I1 of opening of the aforementioned slot It considers as the minimum space width of face, and is the width of face I2 of the aforementioned element formation field. I1 defined by this predetermined direction in line [of the predetermined direction made into the minimum line width of face] -, and the repeat pattern of - space I2 Ratios $I1/I2$ Isolation semiconductor substrate according to claim 1 characterized by being 1.5 or less.

[Claim 4] It is the isolation semiconductor substrate which is an isolation semiconductor substrate which consists of an element formation field formed between the embedded oxide film formed in two or more slots formed in a part of front face of a semiconductor substrate, and the interior of this slot, and this slot and a slot, and is characterized by this embedded oxide film being an amorphous silicon oxide which contains the ring structure more than 5 member rings, and the ring structure below 4 member rings at a predetermined rate, respectively.

[Claim 5] For the predetermined rate of the aforementioned ring structure, below whole 85% or more and 4 member rings are the isolation semiconductor substrate according to claim 4 to which it is determined at a rate over the integrated intensity of the whole integrated intensity of the Raman shift corresponding to each aforementioned ring structure, and is characterized by more than 5 member rings being the structure of fulfilling both both [either or] of being 15% or less of the whole substantially, substantially.

[Claim 6] The aforementioned embedded oxide film is an isolation semiconductor substrate according to claim 4 characterized by being the oxide film which was formed by organic silicon system CVD, the method of applying application glass, or one method of the anode oxidation methods, and was heat-treated at the temperature of 1100-1350 degrees C.

[Claim 7] Width of face I1 of depth d of the aforementioned slot, and opening of the aforementioned slot Aspect ratio $d/I1$ defined by the ratio with a size Isolation semiconductor substrate according to claim 4 characterized by being ten or less.

[Claim 8] Width of face I1 of opening of the aforementioned slot It considers as the minimum space width of face, and is the width of face I2 of the aforementioned element formation field. I1 defined by this predetermined direction in line [of the predetermined direction made into the minimum line width of face] -, and the repeat pattern of - space I2 Ratios $I1/I2$ Isolation semiconductor substrate according to claim 4 characterized by being 1.5 or less.

[Claim 9] The manufacture method of the isolation semiconductor substrate characterized by including the following processes at least.

(b) The 3rd process which heat-treats the 2nd process (c) this oxide film which embeds an oxide film by organic silicon system CVD in the 1st process (b) this slot which forms two or more slots in a part of front face of a semiconductor substrate at the substrate temperature of 1100 degrees C - 1350 degrees C. [Claim 10] The organic silicon system CVD in the 2nd process of the above is the manufacture method of the isolation semiconductor substrate according to claim 9 characterized by being ordinary-pressure CVD, reduced pressure CVD, a plasma CVD method, optical CVD, or the liquid phase CVD.

[Claim 11] heat treatment in the 3rd process of the above — H₂ etc. — inert gas, such as reducing gas, and helium, Ne, Ar, Kr, Xe, O₂, N₂, and HCl, CO and CO₂ The manufacture method of the isolation semiconductor substrate according to claim 9 characterized by being carried out in the mixed gas which consists of either or two or more sorts of gas by which shell selection was carried out among these.

[Claim 12] The 2nd process of the above is the manufacture method of the isolation semiconductor substrate according to claim 9 characterized by carrying out flattening of the front face until it deposits an oxide film more thickly than a slot and the front face of the account semiconductor substrate of back to front is substantially exposed.

[Claim 13] The 2nd process of the above is the manufacture method of the isolation semiconductor substrate according to claim 9 which is the process which deposits an oxide film more thickly than a slot, and is characterized by including further the 4th process which carries out flattening of the front face until the front face of the aforementioned semiconductor substrate is substantially exposed after the 3rd process of the above.

[Claim 14] Flute width l1 of depth d of the aforementioned slot, and opening of the aforementioned slot Aspect ratio d/l1 defined by the ratio with a size The manufacture method of the isolation semiconductor substrate according to claim 9 characterized by being ten or less.

[Claim 15] Width of face l1 of the aforementioned slot It considers as the minimum space width of face, and is the width of face l2 of the aforementioned element formation field. l1 defined by this predetermined direction in line [of the predetermined direction made into the minimum line width of face] -, and the repeat pattern of - space l2 The manufacture method of the isolation semiconductor substrate according to claim 9 characterized by a ratio l1 / l2 being 1.5 or less.

[Claim 16] The manufacture method of the isolation semiconductor substrate characterized by including the following processes at least.

(b) Prepare the 1st semiconductor substrate which has the 1st and 2nd main front faces. The oxide film for direct junction is formed in the 1st main front face by organic silicon system CVD. this — after performing 1st heat treatment in the substrate temperature of 1100 degrees C - 1350 degrees C — this — flattening of the 1st main front face is carried out — the 1st process 1st process (b) this the oxide film for direct junction which performs 1st heat treatment [in / the after / flattening / substrate temperature of 1100 degrees C - 1350 degrees C / for the 1st main front face] is minded. or — this — the 1st semiconductor substrate — this — The 2nd different semiconductor substrate from the 1st semiconductor substrate is joined directly. this - the 1st semiconductor substrate — this — then this — the 2nd process (c) which adjusts the 1st semiconductor substrate to predetermined thickness — this — the 1st semiconductor substrate — this — by organic silicon system CVD to the slot of this plurality [(d) / 3rd process] which forms two or more slots in a part of 2nd main front face The 5th process which performs 2nd heat treatment in the substrate temperature of 1100 degrees C - 1350 degrees C to the embedded 4th process (e) this oxide film which forms an embedded oxide film. [Claim 17] The organic silicon system CVD in the above 1st and the 4th process is the manufacture method of the isolation semiconductor substrate according to claim 16 characterized by being ordinary-pressure CVD, reduced pressure CVD, and plasma CV-methodD, optical CVD, or the liquid phase CVD.

[Claim 18] the above 1st and the 2nd heat treatment — H₂ etc. — inert gas, such as reducing gas, and helium, Ne, Ar, Kr, Xe, O₂, N₂, HCl, CO and CO₂, and ***** — or the manufacture method of the isolation semiconductor substrate according to claim 16 characterized by being carried out in the mixed gas which consists of two or more sorts of gas by which shell selection

was carried out among these

[Claim 19] The 4th process of the above is the manufacture method of the isolation semiconductor substrate according to claim 16 characterized by carrying out flattening of the front face until it deposits an oxide film more thickly than a slot and the 2nd main front face of the semiconductor substrate of the account 1st of back to front is substantially exposed.

[Claim 20] The 4th process of the above is the manufacture method of the isolation semiconductor substrate according to claim 16 which is the process which deposits an oxide film more thickly than a slot, and is characterized by including further the 6th process which carries out flattening of the front face until the 2nd front face of the semiconductor substrate of the above 1st is substantially exposed after the 5th process of the above.

[Claim 21] Flute width l_1 of depth d of the aforementioned slot, and opening of the aforementioned slot Aspect ratio d/l_1 defined by the ratio with a size The manufacture method of the isolation semiconductor substrate according to claim 16 characterized by being ten or less.

[Claim 22] Width of face l_1 of the aforementioned slot It considers as the minimum space width of face, and is the width of face l_2 of the aforementioned element formation field. l_1 defined by this predetermined direction in line [of the predetermined direction made into the minimum line width of face] -, and the repeat pattern of - space l_2 The manufacture method of the isolation semiconductor substrate according to claim 16 characterized by a ratio l_1 / l_2 being 1.5 or less.

[Claim 23] The manufacture method of the isolation semiconductor substrate characterized by including the following processes at least.

(b) Prepare the 1st semiconductor substrate which has the 1st and 2nd main front faces. The oxide film for direct junction is formed in the 1st main front face by the organic silicon system CVD. this — the 1st process (b) which forms two or more slots in a part of 1st main front face —
— this — after heat-treating in the substrate temperature of 1100 degrees C - 1350 degrees C —
— this — flattening of the 1st main front face is carried out — the 2nd process 2nd process (c)
this the oxide film for direct junction which performs heat treatment [in / the after /
flattening / substrate temperature of 1100 degrees C - 1350 degrees C / for the 1st main front
face] is minded. or — this — this — the 1st semiconductor substrate — this — the 2nd
different semiconductor substrate from the 1st semiconductor substrate — direct — joining —
after that — this — until a part of this oxide film for direct junction exposes the thickness of
the 1st semiconductor substrate thin — carrying out — this — the 3rd process which forms in
the 2nd main front face of the 1st semiconductor substrate the element formation field
surrounded by this oxide film for direct junction

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the substrate for semiconductor integrated circuits and its manufacture methods, such as LSI, and is especially the element of a semiconductor integrated circuit.

[0002]

[Description of the Prior Art] In order to form LSI, it is required to form the isolation field which separates electrically one element formation field and other element formation fields around the element formation field which forms passive elements, such as active elements, such as a transistor, or resistance, and a capacitor. MOS and LSI technology, and bipolar This element As shown in drawing 15, LOCOS technology (the LOCOS method) uses a nitride (Si_3N_4 film) 88 as a mask, performs selective oxidation, and it is Si_3N_4 . The oxide film (SiO_2 film) 82 formed in Si front face of a place without a film is used as an insulating layer of an isolation field. This element However, it results in a deep micro-processing time submicron [submicron one to], and this LOCOS technology is also approaching the limitation still more. The greatest trouble is generating of the crystal defect by pervasion of the element formation field (active region) by existence of the so-called BAZU beak, and generating of a local stress at the time of field oxide-film formation. For VLSI or ULSI, especially the BAZU beak is the prevention factor of high integration, and in order to lessen pervasion by the BAZU beak and to make it detailed, it cannot but make thickness of an oxide film 82 thin. However, making thickness of an oxide film 82 thin generates the problem that pressure-proofing between elements falls. In order to conquer this, improvement and the new separation technology of the LOCOS method are proposed variously. For example, the improvement element which used the LOCOS method as the base These elements SiO_2 after this forms U slot in a silicon substrate 5 etc. — it is the isolation technology which deposits an insulating material 77 so that U slot may be embedded

[0003] The various demands of homogeneity, flat nature, and level difference covering nature (step coverage), membraneous quality, low-temperature-izing of a process, etc. are imposed on the insulator layer deposition technology used by the BOX method. Among these [especially], low-temperature-izing of level difference covering nature and a process is important. A good insulator layer is required of manufactures of a semiconductor integrated circuit to which high integration progresses increasingly, such as a G scale integrated circuit (GSI), at low temperature. Although the mono-silane (SiH_4) which can be conventionally formed comparatively at low temperature (300–450 degrees C) to this demand, and LTO (Low Temperature Oxide) which is the CVD technology using N_2O etc. are known, generally, LTO is based on formation conditions and it is [level difference covering nature is bad and] inferior also in membraneous quality. Especially the oxide film by ordinary-pressure CVD or reduced pressure CVD shows a tensile stress, and has the fault that crack resistance is weak.

[0004] Research of the CVD technology using an organic silicon system material which makes representation TEOS (tetraethyl orthochromatic silicate : $\text{Si}_4(\text{OC}_2\text{H}_5)_4$) in view of these requirements recently is active. For example, TEOS and O_3 According to the reaction, formation of an insulator layer is possible at low temperature 450 degrees C or less, and, moreover, it is

because level difference covering nature is good.

[0005]

[Problem(s) to be Solved by the Invention] What has the comparatively shallow depth of flute is advantageous to detailed-izing among the BOX methods shown in drawing 16, and it is also called the shallow trench dissociating (Shallow Trench Isolation; STI) method. However, at the point which compares this STI method with the LOCOS method, and makes an element detailed, although it is advantageous Between semiconductor substrates, such as silicon used as an active element field (element formation field), and the insulator (for example, oxide of silicon) embedded in a slot Since coefficients of thermal expansion differed, stress arose in the semiconductor substrate like the heat process in the LSI manufacturing process under isolation field formation or after isolation field formation, and there was a problem of making the crystal defect of transposition 12 grade as shown in drawing 16 as a thick solid line generated. When the organic silicon source is especially used as a raw material for formation of a silicon oxide, a close-up of the problem of the impurity resulting from the material-refining technology of the organic silicon source has been taken. That is, since it is difficult to obtain the organic silicon source of a high grade in the present condition, impurities (for example, H₂O, the organic substance, etc.) other than the oxide (SiO₂) of silicon are SiO₂ immediately after deposition. It is remaining or sticking to inside. Therefore, the various troubles which originate in these impurities being dissociated like a 800-1000-degree C subsequent heat process arise. 100-20 ppm of moisture as an impurity in an organic silicon source raw material are usually contained. For this reason, the problem that thermal expansion coefficients differ upwards, film contraction is added in connection with the maceration of the moisture in a pad oxide film, and excessive compressive stress joins a silicon substrate is mentioned, for example by SiO₂ (pad oxide film) embedded with the silicon substrate in the silicon device. Furthermore, the conventional STI structure shown in drawing 16 had the fault of becoming easy to introduce a crystal defect into a substrate in the heat process under isolation field formation or accompanying a subsequent element manufacturing process. That is, the element by the STI method using the conventional organic silicon source

[0006] In an actual LSI manufacture process, the stress resulting from the damage by the ion implantation other than the stress resulting from the existence of an isolation field itself, the stress incidental to various multilayers from which a property differs, respectively, such as an electrode and a layer insulation film, being formed further, etc. have arisen, and it is especially easy to generate a crystal defect. There is a multiplication-effect of the crystal defect resulting from the STI structure itself and the crystal defect which originated in addition to this. The crystal defect generated in the substrate becomes easy to capture a metal impurity etc. For this reason, in the conventional STI method, there was a problem that junction leak increased or electric [— dielectric breakdown of a gate oxide film arises — / poor] occurred by existence of the crystal defect in a barrier layer (element formation field). Therefore, development of the isolation technology in which an element formation field is not made to generate a crystal defect is the important technical problem in the LSI manufacture which is future and which turned minutely which should be solved.

[0007] That is, elements which turned minutely, such as GSI, ULSI, and VLSI By the STI method, although there is no problem of a BAZU beak, surface flat nature and suppression of generating of a crystal defect are the important technical problems which should be solved.

[0008] In view of the above troubles, this invention is the semiconductor device which used the analogous pad isolation method for the STI method or the STI method, and is SiO₂. It aims at offering the semiconductor substrate for the high accumulation density semiconductors with which the crystal defect generated to the element formation field resulting from stress was reduced.

[0009] Other purposes of this invention are SiO₂. It is reducing the crystal defect resulting from stress, suppressing the pn junction leakage current in an element formation field, and offering simultaneously the manufacture method of the semiconductor substrate in which the formation of high accumulation density is possible.

[0010] The purpose of further others of this invention is offering the manufacture method of the

semiconductor substrate which can embed a good oxide film with the etching rate equivalent to the etching rate of a thermal oxidation film to an isolation field at low temperature.

[0011]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the 1st feature of this invention Two or more slots 6 formed in a part of front face of a semiconductor substrate so that it might illustrate to drawing 1 (e), drawing 7 (f), drawing 9 (g), and drawing 14 (e). It is the isolation semiconductor substrate which consists of an element formation field between the embedded oxide film 71 formed in the interior of a slot 6, and a slot 6 and a slot 6. The embedded oxide film 71 is the oxide film which was formed by the method of applying the resin glass called organic silicon system CVD and so-called SOG (Spin-on-glass) method, or one method of the anode oxidation methods, and was heat-treated at the temperature of 1100-1350 degrees C after that. "Two or more slots" is the minds that plurality is observed in the cross section here, when it observes by the predetermined cutting plane, and the configuration on a flat-surface pattern is not limited. That is, in the fixed case, as a flat-surface pattern, these slots may become with one slot continuously. For example, two or more slots 6 shown in drawing 1 (a) although the plan with which drawing 1 corresponds is omitted are n^+ as shown in the center section of drawing 1 (e). The source field 91 and n^+ You should interpret, if it is possible for the surroundings of the element formation field in which the MOS transistor possessing the drain field 92 etc. is formed to be understood to be formed as circumference and a field [surrounding] of one. Or as shown in drawing 12, the embedded oxide film 71 is arranged in the shape of an island, and does not need to surround the surroundings of an element formation field completely. Anyway, if two or more slots exist so that it may face across an element formation field when it observes in a fixed cross section, it is equivalent to "two or more slots" said to this invention. In addition, although attained, since the composition of equipments, such as a coil for heat treatment and a furnace, becomes difficult and the contamination to a semiconductor substrate also poses a problem from a furnace, if the present technology is taken into consideration, it is not realistic [the purpose of this invention], even if it heat-treats an oxide film at the temperature of 1350 degrees C or more. moreover, the thing which cannot be carried out to an elevated temperature beyond the melting point of an oxide film — this contractor — obvious — it will be .

[0012] Preferably, it is the width of face I1 of depth d of these slots 6 formed in the front face of a semiconductor substrate in the 1st feature, and opening of these slots 6. Aspect ratio $d/I1$ defined by the ratio with a size It is ten or less. It is because it became clear experimentally that the defect density observed to an element formation field in ten or less aspect ratio reduces the 1st feature of this invention, and the defect density which ten or more aspect ratios of reduction-izing of the stress of the embedded oxide film 71 are insufficient, and originated in this stress does not decrease as shown in drawing 10. Moreover, it is the width of face I1 of a slot preferably. It considers as the minimum space width of face, and is the width of face I2 of an element formation field. I1 defined by this predetermined direction in line [of the predetermined direction made into the minimum line width of face] —, and the repeat pattern of — space I2 It is that a ratio $I1 / I2$ is 1.5 or less. As shown in drawing 13, it is $I1 / I2$. Or more in 1.5, also with 1100 degrees C - 1350 degrees C heat treatment, the stress of an oxide film cannot be reduced but a crystal defect generates it. In addition, this $I1 / I2$ A fixed direction is defined, it is the pattern of a direction which intersects perpendicularly to the direction of the repeat of this line — and — space pattern, i.e., the direction which intersects perpendicularly with cutting plane X-X of drawing 11 (b), and 1.5 or more may be the ratio of the pattern size of a portion which does not serve as the minimum line width of face or the minimum space width of face. The case where line — and — space pattern existed in a 2-way was shown in drawing 12. drawing 12 — setting — the direction of X-X — setting — a ratio — $I1 x/I2x$ give a definition — having — the direction of Y-Y — setting — a ratio — $I1 y/I2y$ is defined In such a case, in the direction of either, a ratio should just be 1.5 or less at least. For example, $I1 x/I2x \leq 1.5 \dots (1)$
 $I1y/I2y > 1.5 \dots (2)$

What is necessary is to come out, and just to adopt (1) formula, if it is. What is necessary is just to adopt (2) formulas, when reverse. of course — both directions — setting — a ratio — neither

11 x/12x nor 11 y/12y also cares about ***** or less with 1.5 "The ratio of 11 and 12 which are defined by the predetermined direction" of this invention is the ratio [in / the defined direction / it defines as any one direction and] 11 / 12 as mentioned above. With 1.5 / or less /, about other directions, you should understand in the meaning of not asking.

[0013] The 2nd feature of this invention is the isolation semiconductor substrate of a configuration which is illustrated to the 1st the same drawing 1 (e) as the feature, drawing 7 (f), drawing 9 (g), and drawing 14 (e), and these embedded oxide films 25 and 71 are the amorphous silicon oxide which contains the ring structure more than 5 member rings, and the ring structure below 4 member rings at a predetermined rate, respectively.

[0014] here — predetermined — comparatively — Raman scattering — a spectrum — the whole (integrated intensity of all spectrums) integrated intensity of each Raman shift corresponding to the many-membered ring structure more than 3 member rings as shown in drawing 4 (a) called for from measurement of a spectrum and 4 (b), 4 member rings, and 5 member rings rate is the predetermined meaning said comparatively That is, the rate of the integrated intensity of each Raman shift at the time of making the spectral region of wave number 300–700cm⁻¹ into the whole, as shown in drawing 4 (a) and 4B (b) is meant. The integrated intensity of each Raman shift is defined within a predetermined spectral range including a corresponding peak here.

[0015] That is, it is (i) as shown in drawing 5 . The integrated-intensity ratio of Lamaism SHINFUTO more than corresponding to 5 member rings substantially 85% or more of the whole (ii) by being the amorphous silicon oxide (SiO₂ film) with which there are few two conditions of 15% or less of the whole, and the integrated-intensity ratio of the Raman shift corresponding to 4 member rings or 3 member rings fills ** one side substantially The stress in the embedded oxide film 25 and 71 and the stress of the interface of the embedded oxide films 25 and 71 and the semiconductor substrates 5, 16, and 23 will be eased, and generating of the transposition in an element formation field will be suppressed. "It is 85% or more substantially" is the mind of permitting about about 80% or more by drawing 5 as an error bar shows here. Moreover, "it is 15% or less substantially" is the mind that even about about 20% or less is permitted. When both 3 member rings and 4 member rings are included, the sum of 3 member rings and 4 member rings should just be 15% or less substantially. That is, you should understand it as meaning the relation indicated to be 85% or more said to this invention and 15% or less to drawing 5 . In addition, of course in calculation of the integrated-intensity ratio in the 2nd feature of this invention, the background component is removed. According to the structure of the 2nd feature of this invention, the leakage current of the pn junction formed all over an element formation field decreases, and large scale integration with the good property can be realized. In addition, it is almost equal to the etching rate to which a thermal oxidation film corresponds by the etching rate by NH₄ F becoming 130 or less nm/min as the etch rate (etching rate) of the oxide film which contains substantially 4 member rings or 3 member rings 15% or less 85% or more shows more than 5 member rings of this invention substantially to drawing 6 . Therefore, what is necessary is just to investigate an etching rate as verification of composition of 4 member rings more than 5 easy member rings.

[0016] The 3rd feature of this invention is including at least each following process which is illustrated to drawing 1 (a) – (e) or drawing 7 (d) – (f), namely, (**) — the 1st process which forms two or more slots 6 in a part of front face of the semiconductor substrates 5 and 16 as shown in drawing 1 (a) or drawing 7 (d), and (**) — drawing 1 (b) — (c) Or it is characterized by including at least the 2nd process which embeds oxide films 7 and 71 by organic silicon system CVD in a slot 6 as shown in drawing 7 (e), and the 3rd process which heat-treats the (c) oxide film 71 at the substrate temperature of 1100 degrees C – 1350 degrees C. It is as having mentioned above that "two or more slots" is the concepts at the time of seeing in a fixed cross section. Organic silicon system CVD means CVD which used the organic silicon sources, such as TEOS (Tetraethylorthosilicate; Si₄ (OC two H₅)), TMOS (Tetramethoxysilane; Si₄ (OCH₃)), TPOS (Tetrapropoxysilane; Si₄ (OC three H₇)), or DADBS (Diacetoxyditeriarybutoxysilane; (C₄ H₉ O)₂ Si-(OCOCH₃)₂), as the raw material.

[0017] Preferably, the organic silicon system CVD in the 2nd process is ordinary-pressure CVD,

reduced pressure CVD, a plasma CVD method, optical CVD, or the liquid phase CVD. Ordinary-pressure CVD is O₂. The so-called ozone system ordinary-pressure CVD using the ozone (O₃) which introduce into an ozonizer, it was made to discharge and was made to form is sufficient. Reduced pressure CVD (LPCVD) is TEOS-O₃. The CVD which reacts by reduced pressure-ization of 6.7kPa(s) etc. is said. Plasma CVD is 13.56MHz. Or 150kHz What is necessary is just to carry out using the gas sources, such as TEOS, O₂, and helium, using plasma electric discharge of a grade. The excimer laser light by ArF (193nm), KrF (249nm), XeCl (308nm), XeF (350nm), etc., a high-pressure mercury lamp, a mercury-xenon lamp, etc. should just perform optical CVD mainly by the photoreaction using the light energy of ultraviolet radiation. O₂ excited by for example, RF electric discharge with liquid phase CVD -40 degrees C [using TMS (Tetramethylsilane; Si(CH₃)₄)] CVD etc. is said.

[0018] the oxide film according to organic silicon system CVD preferably — H₂ etc. — inert gas, such as reducing gas, and helium, Ne, Ar, Kr, Xe, O₂, N₂, HCl, CO, or CO₂ It is carried out in the mixed gas which consists of either or two or more sorts of gas by which shell selection was carried out among these.

[0019] Moreover, as for formation of the embedded oxide film in the 2nd process, it is desirable that the step which carries out flattening of the front face is included until the front face of the semiconductor substrate 5 is substantially exposed, as an oxide film 7 is deposited more thickly than a slot as specifically shown in drawing 1 (b), and shown in drawing 1 (c) after that. Here with "the front face of a semiconductor substrate is substantially exposed" There is not necessarily no need of carrying out etchback until the semiconductor substrate 5 is completely exposed, for example If there is need in a subsequent process, even if it carries out etchback so that a very thin oxide film (50nm – 100nm or about 300nm) may remain in the front face of the semiconductor substrate 5, and it carries out flattening of the front face of a semiconductor substrate, it will be the meaning of understanding it as "It has exposed substantially." Moreover, the point of the process of flattening and the process of heat treatment is sufficient as whichever. Therefore, with ***, as the 2nd process of the above, it may consider only as the process which forms an oxide film more thickly than the depth of a slot by the organic silicon system CVD conversely, and a surface flattening process may be performed as the 4th process after heat treatment of the 3rd process.

[0020] The important point in the 3rd feature of this invention is heat treatment temperature (annealing temperature). After organic silicon system CVD, among 1000 degrees C – 1350 degrees C, drawing 2 heat-treats at intervals of 50 degrees C, and shows the result at the time of making isolation semiconductor substrate structure as an experiment. That is, it is the result of carrying out surface SEM observation of the isolation semiconductor substrate after forming elements, such as an MOS transistor, in an element formation field (SDG field) with a width of face [between trenches] of 0.3 micrometers and constituting an MOS IC after this isolation field formation. As shown in drawing 2 , at the low temperature side heat treatment temperature of 1100 degrees C or less, it turns out that transposition is occurring frequently. This is the transposition 12 in the conventional STI substrate shown in drawing 16 as the thick solid line, and the same transposition.

[0021] The data of drawing 2 are the result of actualizing a transposition pit by the selective-etching method, performing SEM observation, measuring the dislocation density in 1mmx1mm the field of an angle in five points in a field, and averaging those values. At the heat treatment temperature to 1000 degrees C – 1100 degrees C, the same transposition 12 as the thick solid line of drawing 16 (the conventional technology) is 2 about ten pieces/micrometer. Although it has generated, it turns out that it is decreasing at the heat treatment temperature beyond it, i.e., the temperature field of this invention. Moreover, an MOS transistor is formed in the SDG field which performed the above-mentioned isolation, and the result which measured the junction leak property of the n+-p diode corresponding to the pn junction structure in this MOS transistor is shown in drawing 3 . In the substrate which carried out heat treatment of 1100 degrees C or more, it turns out that the leakage current is decreasing. This result is reflecting that the transposition of the n+-p well joint which is the cause of generating of a leakage current was suppressed, and shows that the stress control of the embedded oxide film by this invention is

effective in transposition suppression and a leakage-current fall. For the same result, the direction in heat treatment [in / the temperature field (1100 degrees C – 1350 degrees C) of this invention / from heat treatment / in / 1000 degrees C or less / when it uses for the isolation of the bipolar integrated circuit shown in drawing 8 , are clear, and] is SiO₂. It turns out that stress is eased and the junction leakage current is decreasing.

[0022] The 4th feature of this invention prepares the 1st semiconductor substrate which has (b) 1st and the 2nd main front face. As shown in drawing 9 (a), the oxide film 24 for direct junction is formed in the 1st main front face of the 1st semiconductor substrate 23 by organic silicon system CVD. After performing 1st heat treatment in the substrate temperature of 1100 degrees C – 1350 degrees C, The oxide film 25 for direct junction to which flattening of the front face was carried out as shown in drawing 9 (b) is minded. the 1st process and (**) which perform 1st heat treatment in the substrate temperature of 1100 degrees C – 1350 degrees C after performing the 1st process which performs flattening for the front face as shown in drawing 9 (b), or flattening — The 1st semiconductor substrate 23 and the 2nd semiconductor substrate 26 which is different in the 1st semiconductor substrate 23 are joined directly. The so-called SOI (Silicon-On-Insulator) substrate is formed. As shown in drawing 9 (c) after that, the rear face of this 1st semiconductor substrate 23 Grinding, the 2nd process and (**) which adjust polish etching etc. to predetermined thickness, as shown in a part of 2nd main front face located in the side which does not counter the 2nd semiconductor substrate 26 of the 1st semiconductor substrate 23 at drawing 9 (d) The 3rd process which forms two or more slots 6 (drawing 9 (d) has reversed the front reverse side with drawing 9 (c)), (d) Two or more of these slots 6 pass, respectively. by organic silicon system CVD It is including at least the 4th process which forms the embedded oxide film 7 as shown in drawing 9 (e), and the 5th process which performs 2nd heat treatment in the substrate temperature of 1100 degrees C – 1350 degrees C to the (e) embedded oxide film 7. The 1st semiconductor substrate 23 and the 2nd semiconductor substrate 26 do not need to be semiconductor substrates of the same kind, and the combination of semiconductors of a different kind, such as Si and SiC, is sufficient as them here. That is, IV groups other than Si and III-V A group, an II-VI group semiconductor, and the amorphous quality of the material can also be chosen as the 1st and 2nd semiconductor substrates. In addition, the 1st heat treatment in the 1st process may be omitted, and 1100 degrees C – 1350 degrees C heat treatment of the same conditions as the 1st heat treatment may be performed at the time of direct junction of the 2nd process. Or the 1st heat treatment may be omitted and the 2nd heat treatment in the 5th process may substitute the 1st heat treatment.

[0023] According to the composition of the 4th feature of this invention, the stress of the embedded oxide film 71 and the oxide film 25 for direct junction is reduced, and generating of crystal defects, such as transposition in an element formation field, is suppressed.

[0024] The 5th feature of this invention prepares the 1st semiconductor substrate which has (b) 1st and the 2nd main front face. The oxide film 25 for direct junction is formed in the 1st main front face of the 1st semiconductor substrate by organic silicon system CVD. the 1st process which forms two or more slots in a part of 1st main front face of the 1st semiconductor substrate 23 as shown in drawing 14 (a), and (**), as shown in drawing 14 (a) The 2nd process which carries out flattening of the oxide film 25 of the upper part on the 1st front face of main of the 1st semiconductor substrate 23 as it is shown in drawing 14 (b), after heat-treating in the substrate temperature of 1100 degrees C – 1350 degrees C, Or the 2nd process which performs heat treatment [in / the after / flattening / substrate temperature of 1100 degrees C – 1350 degrees C / for the oxide film 25 of the upper part on the 1st front face of main of the 1st semiconductor substrate 23] as shown in drawing 14 (b), and the oxide film 25 for (c) direct junction are minded. As shown in drawing 14 (c), the 1st semiconductor substrate 23 and the 2nd different semiconductor substrate 26 from the 1st semiconductor substrate are joined directly. As it is made thin until a part of oxide film 25 for direct junction exposes the thickness of the 1st semiconductor substrate 23 after that, and shown in drawing 14 (d), it is including at least the 3rd process which forms in the 2nd main front face of the 1st semiconductor substrate 23 the element formation field surrounded by the oxide film 25 for direct junction. The 1st

semiconductor substrate 23 and the 2nd semiconductor substrate 26 do not need to be semiconductor substrates of the same kind, and the combination of semiconductors of a different kind, such as Si and SiC, is sufficient as them here. That is, IV groups other than Si and III-V A group and II-VI A group semiconductor and the amorphous quality of the material can be chosen as the 1st and 2nd semiconductor substrates.

[0025] According to the 5th feature of this invention, by 1 time of organic silicon system CVD, since the embedded oxide film 25 and the oxide film 25 for direct junction can be formed simultaneously, the number of processes decreases as compared with the 4th feature. That is, the oxide film 25 for direct junction exposed to the front face of the 1st semiconductor substrate 23 will function also as an embedded oxide film. Moreover, since there are also few heat treatment processes to the 4th feature, it will contribute to low temperature-ization of a process.

[0026] According to the composition of the 5th feature of this invention, the stress of the embedded oxide film 25 and the oxide film 25 for direct junction is reduced, and generating of crystal defects, such as transposition in an element formation field, is suppressed.

[0027]

[Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing. Although it is general on expression of the drawing of a semiconductor device, the following drawings are not the things expressing the exact size, and if typical, he should understand them. It should be cautious of especially the relative relation of the thickness of each class being ** in an actual ratio etc.

[0028] (Gestalt of the 1st operation) Drawing 1 (e) is the cross-section structure of the embedding isolation semiconductor substrate for MOS ICs concerning the gestalt of operation of the 1st of this invention (shallow trench isolation (STI) semiconductor substrate), and drawing 1 (a) - (d) is the process cross section showing the manufacture method until it results in drawing 1 (e). The isolation semiconductor substrate concerning the gestalt of operation of the 1st of this invention The embedded oxide film 71 is formed in the interior of the slot formed from the front face of the semiconductor substrate 5 as shown in drawing 1 (e). Between the element formation fields between this embedded oxide film 71 and the embedded oxide film 71 n+ The source field 91 and n+ The MOS transistor which consists of the drain field 92, the gate oxide film 8, the poly silicon-gate electrode 98, the source electrode 93, a drain electrode 94, and a layer insulation film 79 is formed.

[0029] It stops generating the transposition 12 as shown in drawing 16 which eased the MOS IC formed in the isolation semiconductor substrate of the gestalt of operation of the 1st of this invention by performing heat treatment as the stress of the embedded oxide film 71 shows below, therefore was explained to the element formation field with the conventional technology. Therefore, the pn junction leakage current resulting from transposition is also reduced.

[0030] The isolation semiconductor substrate concerning the gestalt of operation of the 1st of this invention can be manufactured according to the following processes.

[0031] (b) Form the 100nm silicon oxide 17 in the front face of the mirror-plane silicon substrate of a field direction (100) by the steam-oxidation method (wet oxidation style) etc. first, apply a photoresist (illustration ellipsis) to the front face of this oxide film 17, and ***** an oxide film 17 by using a photoresist as a mask by the photolithography method. The mask pattern for silicon etching which consists of an oxide film 17 by this etching is formed, and the front face of the other silicon substrate 5 is exposed. And after removing the photoresist used for oxide-film etching, in RIE, as the outcrop of this silicon substrate 5 is shown in drawing 1 (a) by using an oxide film 17 as a mask, a slot with a width of face [of 0.3 micrometers] and a depth of 1 micrometer is formed. RIE of a silicon substrate 5 is CF4. H2 It is 1.3Pa in pressure about mixed gas, and is 13.56MHz. It is RF power 0.22 W/cm2 What is necessary is just to carry out by impressing. or SF6 O2 Mixed gas or CCl4 etc. — you may perform RIE

[0032] (b) Next, after washing a substrate, as shown in drawing 1 (b), form an oxide film 7 with the organic silicon source, for example, the CVD using TEOS (Si4 (OC two H5)). Before making this oxide film deposit, heat oxide-film **** is Si 3N4. You may be making it form thinly. This oxide film 7 is formed the whole surface on Si substrate more than by the depth of flute, for

example, the thickness of 1.1 micrometers, in order to embed a slot completely. as the material which embeds this slot — the organic silicon source — an oxidizer, for example, N₂ O, O₂, and O₃ etc. — what was added may be used the organic silicon source and SiH₄ etc. — the silicon hydride and SiCl₄ etc. — it does not matter even if the CVD which mixed two or more kinds, independence or these raw materials, and used the silicon chloride as the raw material can also embed a slot by the silicon oxide and adds an oxide to each raw material [moreover,]

[0033] (c) As continuously shown in drawing 1 (c), by carrying out etchback by the CDE method, make it expose outside and carry out flattening of the silicon substrate 5 of the portion except having been embedded in the slot.

[0034] (d) The pad oxide film 71 formed with the organic silicon source is SiO₂. Since many impurities of an except, for example, water, are contained, as shown in drawing 1 (d), it heat-treats in 1100–1350 degrees C. As shown in drawing 1 (d), some curve (crevice) arises with heat treatment. This processing is N₂. With heat treatment of about 2 hours, although it is good, a result with the same said [the controlled atmosphere of heat treatment] also of O₂, HCl, reducing gas, and inert gas is obtained in inside. In addition, although the case where heat treatment was performed was explained after removing and carrying out flattening of the oxide film on substrates other than an isolation field, the same effect is acquired, even if it removes and carries out flattening of the oxide film 7 on substrates other than an isolation field, after heat-treating previously.

[0035] (e) Finally, as shown in drawing 1 (e), form an MOS transistor in the element formation field (width of face of 0.3 micrometers), i.e., the SDG field, between trenches. Formation of an MOS transistor omits explanation here that what is necessary is just to form in the standard MOS process which forms n⁺ drain field 92 in a self-adjustment target using the poly silicon gate 78.

[0036] The dislocation density in an element formation field as shown in drawing 1 (e), after forming an MOS transistor in an element formation field is 2 one piece/micrometer, as shown in drawing 2 . It is the following. The measurement result of the dislocation density of drawing 2 performs SEM observation for a sample after selective etching, and is data about the average of five points in 1mmx1mm the field of an angle.

[0037] Drawing 3 shows the leakage current of the pn junction diode of the TEG pattern corresponding to the structure of the above-mentioned MOS transistor. Namely, n⁺ Although the leakage current of the n⁺p junction formed between the source field 91 and the p well 5 is shown in drawing 3 , the leakage current is decreasing to 15 or less pAs. Since the diode area of a TEG pattern is 350micrometerx240micrometer, this is 1.7x10⁻⁸ A/cm². It means that it has decreased in the following leakage-current densities. The result of drawing 3 shows that the transposition of the n⁺p joint which is the cause of generating of a leakage current was suppressed by the gestalt of operation of the 1st of this invention.

[0038] Drawing 4 (a), (b), and drawing 5 are the results of investigating the structure of the oxide film concerning the gestalt of operation of the 1st of this invention which enables reduction-izing of the above-mentioned dislocation density, and reduction-ization of a leakage current using Raman scattering. That is, it is the result of investigating the structure of the oxide film (SiO₂) which formed the oxide film uniformly in the field by the formation method of the above-mentioned embedding insulator layer, and performed the further above-mentioned heat treatment to the silicon substrate first by the Raman-scattering spectroscopy. SiO₂ Since the peak of Raman scattering by the vibration out of Si substrate becomes [in / measurement / the Raman scattering cross section is small and] dominant SiO₂ The spectrum of a Raman-scattering shift of the silicon substrate currently formed in the front face to SiO₂ Si substrate in which the film is not formed, SiO₂ with two or more peaks as shown in drawing 4 (a) by deducting the spectrum of a Raman-scattering shift The spectrum of Raman scattering is acquired. Moreover, if a simulation separates this peak, it is separable into the many-membered ring more than 3 member rings, 4 member rings, and 5 member rings like drawing 4 (b). The method of separation of this cyclic structure is C.J.Breinker. et al., J.Non-Cryst.Solids 82 (1986) 177 etc. are established. In drawing 4 (a), annealing 1 is 1000 degrees C and heat treatment of 1 hour, and annealing 2 is 1150 degrees C and heat treatment of 1 hour. Moreover, annealing 1 and

annealing 2 are all N₂. It is heat treatment in gas atmosphere.

[0039] If the integrated intensity of the spectrum of each Raman shift is taken for every heat treatment temperature and it asks for the ratio (henceforth an integrated-intensity ratio) to the whole integrated intensity, it will become like drawing 5. The whole integrated intensity is the integrated intensity of the spectrum in wave number 300–700cm⁻¹, and is the value (it removed) which lengthened the background value from Si substrate. It turns out that the integrated-intensity ratio of 3 and 4 member ring is reduced from 1100 degrees C which generating of transposition reduces, and the integrated-intensity ratio of the many-membered ring more than 5 member rings is increasing. Namely, SiO₂ In a ring structure, it turns out that the stress of the embedding material whose integrated-intensity ratio below 4 member rings is the cause of generating of transposition substantially if the integrated-intensity ratio of the many-membered ring more than whole 15% or less or 5 member rings is 85% or more of the whole substantially is eased, and transposition can be suppressed. When the error of measurement of Raman scattering etc. is taken into consideration, it is a book if below 4 member rings are about 80% or more about 20% or less and more than 5 member rings as shown in drawing 6.

[0040] Drawing 6 shows the etching rate (etch rate) of the oxide film concerning the gestalt of operation of the 1st of this invention. The etching rate by the heat treatment temperature of this invention, i.e., the NH₄F (ammonium fluoride) solution of an oxide film heat-treated at 1100 degrees C – 1350 degrees C, is 130 or less nm/min, and is a value almost equal to the etching rate of the thermal oxidation film shown in the left-hand side of drawing 6. NH₄F ***** [the oxide film which deposits by organic silicon system CVD and is not heat-treated, and the oxide film of the so-called "AZU Dave"] by the etching rate of about 650 nm/min. Therefore, it both turns out [to which more than 5 member rings become 80% by elevated-temperature annealing of this invention] that the etching rate of an oxide film falls. It is SiO₂ of 3 and 4 member ring more than 5 member rings measured by the etching rate and Raman scattering of an oxide film. It can be said that each content corresponds mostly.

[0041] In addition, although the oxide film 7 was formed by the CVD using the organic silicon sources, such as TEOS, at the process of the above-mentioned (b) in the gestalt of the 1st operation of this invention, methods other than such an organic silicon system CVD are sufficient as the oxide-film formation method. For example, you may use the method called the so-called SOG (Spin-on-glass:spin-on glass) method. The SOG method applies the resin glass which melted the polysiloxane etc. to solvents, such as an acetone and a xylene, using a spinner etc., removes a solvent by 80 degrees C – 100 degrees C prebaking, and is SiO₂. It is the method of forming a film. It is SiO₂ with the SOG method. The same effect as the above is acquired by heat-treating at 1100–1200 degrees C after forming a film. That is, also in the SOG method, when the integrated-intensity ratio of whole 85% or more, 3 member rings, or 4 member rings carries out [the integrated-intensity ratio of the many-membered ring more than 5 member rings called for from the Raman scattered spectrum] to 15% or less of the whole substantially, transposition is suppressed and a leakage current decreases. Resin glass is indicated by JP,58-51422,B, U.S. JP,3985597,B, the No. 4004044 official report, etc. these resin glass is marketed — having — **** — Allied Signal-Accuspin 418/720, Allied Signal-Accuglass T-11/T-14, Dow-Corning 805, Owens-Illinois650, and General Electric SR125/SR124 etc. — what is necessary is just to use [for example,] About 600-degree C low-temperature annealing is performed after 80 degrees C – 100 degrees C prebaking, and it may be made to perform 1100 degrees C – 1350 degrees C elevated-temperature annealing after that.

[0042] (Gestalt of the 2nd operation) Drawing 7 (f) is the cross section showing the structure of the isolation semiconductor substrate for bipolar integrated circuits concerning the gestalt of operation of the 2nd of this invention, and drawing 7 (a) –7(e) is the typical cross section showing the manufacture method until it results in the structure of drawing 7 (f). the manufacture method of the isolation semiconductor substrate for bipolar integrated circuits concerning the gestalt of operation of the 2nd of this invention — (**) — it is first shown in drawing 7 (a) — as — the front face of the p type silicon substrate 13 — steam oxidation — 200–350nm SiO₂ A film 14 is formed.

[0043] (b) Next, it is this SiO₂. As a film 14 is shown in drawing 7 (b) using the photolithography

method, it carries out patterning, using a photoresist as a mask, the front face of some silicon substrates 13 is exposed, and the diffusion mask 14 is formed. And thermal diffusion of the Sb (antimony) is carried out using this diffusion mask 14, and it is n^+ of impurity density $3 \times 10^{20} \text{cm}^{-3}$. A buried layer 15 is formed.

[0044] (c) it is shown in drawing 7 (c) after oxide-film removal — as — SiH_4 SiH_2 Cl_2 etc. — PH_3 as a silane compound and doping gas etc. — phosphorus compounds — H_2 Passing carrier gas, it decomposes at an elevated temperature and n layer 16 of 2.5 micrometers of thickness is grown epitaxially on a substrate.

[0045] (d) Use a photoresist as a mask, open an aperture in an oxide film 17, and form the mask 17 for etching, after making n layers of about 0.3 micrometers of oxide films 17 form on 16 next and forming the pattern of a photoresist on an oxide film 17 by the photolithography method. As a photoresist is removed after that, n layers of alternative etching of 16 are performed by using an oxide film 17 as a mask layer and it is shown in drawing 7 (d), a slot with a depth of about 3 micrometers is formed into n layer 16. This alternative etching is CCl_4 in order to give an anisotropy. Or C_2F_4 The RIE method to depend is used. It is SF_6 when the aspect ratio of a slot is large. The low-temperature microwave plasma etching by gas plasma is desirable. For example, what is necessary is to cool substrate temperature at -80 degrees C — -150 degrees C, and just to perform plasma etching.

[0046] (**) — by CVD, as they are shown in drawing 7 (e) still like the case of the gestalt of operation of the 1st of this invention, using the organic silicon sources, such as TEOS, TMOS, and TPOS, as a raw material, a slot is embedded

[0047] (**) Finally it is N_2 at the elevated temperature of 1100 – 1350 degrees C as shown in drawing 8 (f), after performing flattening for this front face. It heat-treats by holding for 2 hours in atmosphere. The atmosphere of this heat treatment is N_2 . O_2 other than gas, HCl , reducing gas, and inert gas are also possible. in addition, the above-mentioned explanation — sequence — changing — immediately after CVD — 1100 degrees C — 1350 degrees C heat treatment — previously — carrying out — after that — etchback — that is, even if it carries out flattening, there is same effect It is n^+ to the meantime, using this slot as an isolation field. The collector cash-drawer field 20 and p^+ A base region 21 and n^+ An emitter region 22 is formed, and a bipolar transistor is completed as shown in drawing 7 (f). Although illustration of an emitter metal electrode, a collector metal electrode, a layer insulation film, etc. is omitted to drawing 7 (f) for simplification, it is the structure of a standard bipolar IC and, naturally these metal electrodes and the insulator layer are provided.

[0048] Drawing 8 is the result of investigating the element property of the npn bipolar transistor concerning the gestalt of operation of the 2nd of this invention about a leakage current using a TEG pattern. p^+ The leakage current of the TEG pattern corresponding to the p^+ – n junction between a base region 21 and n collector field 16 is measured, and it is plotting to each heat treatment temperature. The diode area of a TEG pattern is 350×240 micrometers. Setting to the temperature requirement (1100 degrees C — 1350 degrees C) of this invention, the leakage current of p^+ – n junction is $1.7 \times 10^{-8} \text{ A/cm}^2$. It turns out that it is falling to below and the transposition which is the leakage-current generating cause is suppressed.

[0049] (Gestalt of the 3rd operation) Drawing 9 (g) is the cross section of the isolation semiconductor substrate concerning the gestalt of operation of the 3rd of this invention, and drawing 9 (a) – (f) is the typical cross section showing the manufacture method until it results in drawing 9 (g). Although the case where it applies to a BiCMOS integrated circuit in the gestalt of operation of the 3rd of this invention is explained, of course, it is applicable to an MOS IC, a bipolar integrated circuit, a static-induction-transistor (SIT) integrated circuit, etc. the manufacture method of the semiconductor substrate for BiCMOS integrated circuits concerning the gestalt of operation of the 3rd of this invention — (**) — first, as shown in drawing 9 (a) (100), n type silicon substrate (semiconductor substrate) 23 with the 1st predetermined main front face (front face) of a field direction, such as a field, and the 2nd main front face (rear face) is prepared It is SiO_2 with a thickness of 1 micrometer by CVD to the front face (the 1st main front face) of this n type silicon substrate 23. A film 56 is formed. CVD should just use the organic silicon sources, such as TEOS, HMDS (Hexamethydisiloxane; $\text{Si}_2\text{O}(\text{CH}_3)_6$), and OMCTS

(Octamethylcyclotetrasiloxane; $c_4(OSi_2(CH_3))_4$)).

[0050] (b) It is n type silicon substrate 23 which next carried out SiO_2 CVD of drawing 9 (a) 1100 degrees C – 1200 degrees C and N_2 In atmosphere, it holds for 2 hours and heat-treats. Then, flattening of the oxide film is carried out to the thickness of 0.3 micrometers using the mechanical and chemical grinding (CMP) method etc., carrying out suction fixation of the rear face, and the oxide film 25 for direct junction (henceforth "SDB") is formed as shown in drawing 9 (b).

[0051] (c) Next, form a SDB substrate by preparing independently the silicon substrate 26 which ground the front face to the mirror plane, and heat-treating mutually n type silicon substrate 23 and a silicon substrate 26 at lamination and 1100 degrees C for 1 hour to 2 hours, as shown in drawing 9 (c) through the oxide film 25 for SDB. Under the present circumstances, you may impress and heat-treat voltage. Next, thickness adjustment is performed so that the rear face (the 2nd main front face) of n type silicon substrate 23 may be ground and the thickness of n type silicon substrate 23 may be set to 1 micrometer. In addition, if lamination of a silicon substrate is performed above 1100 degrees C, since an effect equivalent to heat treatment of the above-mentioned (b) can be acquired substantially, it is also possible to omit heat treatment of the above-mentioned (b) and to serve with heat treatment at the time of lamination. Moreover, it is also possible to perform heat treatment at the time of the method of making heat treatment at the time of lamination 1200 degrees C or lamination in two stages (1100 degrees C and 1200 degrees C).

[0052] (d) Next carry out the vertical inversion of the state of drawing 9 (c), and make the rear face (the 2nd main front face) of n type silicon substrate 23 into a top like drawing 9 (d). The 300nm thermal oxidation film 17 is formed in the 2nd main front face of n type silicon substrate 23 formed by this SDB method, by the photolithography method, by using a photoresist as a mask, etching removal of some thermal oxidation films 17 is carried out at a predetermined pattern, and the photoresist further used as a mask for etching of the thermal oxidation film 17 is removed. in this way, the obtained thermal oxidation film 17 — a mask — carrying out — CCl_4 and SF_6 etc. — it *****s a depth of 1 micrometer until the oxide film 25 for SDB exposes a part of n type silicon substrate 23 using RIE to depend, as shown in drawing 9 (d), and the U slot 6 is formed

[0053] (e) Next, as shown in drawing 9 (e), they are TEOS and TMCTS (1.1–1.5 micrometers of SiO_2 films 7 are deposited by the reduced pressure CVD (the LPCVD method) using the organic silicon sources, such as 1, 3, 5, and 7-tetramethylcyclotetrasiloxane; $c_4(OSiHCH_3)_4$ or TES (Triethylsilane; $SiH_3(C_2H_5)_3$), etc.). You may use an efficient consumer response plasma CVD method and ICP-CVD instead of the LPCVD method. as the material which embeds this U slot 6 — the organic silicon source — an oxidizer, for example, N_2O , O_2 , and O_3 etc. — what was added may be used the organic silicon source and SiH_4 etc. — the silicon hydride and $SiCl_4$ etc. — it does not matter even if it can also embed the U slot 6 by the silicon oxide 7 and adds an oxide to each raw material also by the CVD which mixed two or more kinds of raw materials of either independence or these, and used the silicon chloride as the raw material [moreover,]

[0054] (**) Then, it is $CVDSiO_2$ by the CDE method etc. By carrying out etchback of the film 7, the front face of n type silicon substrates 23 other than the portion embedded in the U slot 6 is exposed outside, and as shown in drawing 9 (f), flattening is carried out.

[0055] (**) — it was formed of the CVD using the organic silicon source of the state which shows in drawing 9 (f) — embedding — an oxide film 71 — SiO_2 Since it contains, many the impurities, for example, the water, of an except, it heat-treats in 1100–1350 degrees C. this heat treatment — N_2 [for example,] although it is good in inside in about 2 hours — the controlled atmosphere in this case. — O_2 , HCl , reducing gas, inert gas, or CO and CO_2 **** — the same result is obtained If a well-known MOS process and a bipolar process are used for the element formation field which consists of an n type silicon substrate 23 surrounded by the pad oxide film 71 after this heat treatment and a CMOS circuit and a bipolar circuit are constituted, respectively, a BiCMOS integrated circuit as shown in drawing 9 (g) will be completed. In addition, even if it omits 1100 degrees C – 1200 degrees C heat treatment in the process of the above-mentioned (b) and substitutes 1100 degrees C – 1350 degrees C heat treatment in the

process of the above-mentioned (g), the purpose of this invention can be attained mostly. In this case, there is an advantage of simplification of a process.

[0056] As explained above, when using the organic silicon source, for example, the insulating material by the CVD which used TEOS as the raw material, as an isolation insulator layer, by heat-treating the gestalt of operation of the 3rd of this invention, stress can be reduced and generating and proliferation of transposition under heat treatment under isolation field formation or in a subsequent element manufacturing process can be reduced. Therefore, it is the value of the leakage current of the pn junction which was formed all over the element formation field according to the gestalt of operation of the 3rd of this invention 1.7×10^{-8} A/cm². It can be made to fall to below and highly efficient-ization of a BiCMOS integrated circuit can be realized.

[0057] In addition, U flute width l1 of U channel-depth d in the gestalt of the above 1st - the 3rd implementation Receiving aspect ratio d/l1. It is an example and does not need to be restricted to the aspect ratio of the above-mentioned explanation. As shown in drawing 10, it is aspect ratio d/l1. If the oxide film embedded in ten or less U slot is heat-treated in the heat treatment conditions (1100 degrees C - 1350 degrees C) of this invention, since defect density will fall, it is aspect ratio d/l1. As long as it is ten or less value, you may choose suitably. In addition, as shown in drawing 10, when the heat treatment conditions of this inventions, such as 1000 degrees C and 1050 etc. degrees C, are out of range, it is aspect ratio d/l1. It turns out that defect density does not decrease ten or less.

[0058] It sets to line [of the fixed direction] -, and the repeat pattern of - space, and drawing 13 is the width of face l1 of a separation slot. Width of face l2 of an element formation field A ratio l1 / l2. It is the result of investigating the defect density (transposition pit density) in the element formation field at the time of changing. That is, the U slot 6 of an isolation field is set to line - and - space pattern which were put in order like drawing 11, and it is the width of face l1 of an isolation field. Width of face l2 of an element formation field Change a ratio between 0.003-10, embed, and produce an isolation substrate, and carry out selective etching of the transposition pit in the element formation field, and it is made to actualize, and measures. Drawing 11 (a) is the direction cross section of X-X of drawing 11 (b). In this case, the result which embedded the oxide film all over U slot by the CVD which used the organic silicon source as the raw material, and 1000, 1050, 1100, and 1200 or 1350 degrees C compared by performing heat treatment of 2 hours is drawing 13. As shown in drawing 13, it is l1 / l2. The defect is increasing or more by 1.5. therefore, this invention — width of face l1 of an isolation field Width of face l2 of an element formation field It is 1.5 or less times and is effective, and as long as it is this range, values l1 / other than l2 in the gestalt of the above 1st - the 3rd implementation may be chosen arbitrarily, and may be used. The conditions of l1/l2 ≤ 1.5 are defined by line [of a fixed direction] -, and - space pattern. for example, the case where there are line [of the direction of X-X] -, line [of - space pattern and the direction of Y-Y] -, and the direction of - space as shown in drawing 12 — one of direction **** — at least one side of the value of l1 x/l2x defined or l1 y/l2y should just be 1.5 or less A pattern like drawing 12 is a pattern typical at MOS-DRAM etc.

[0059] (Gestalt of the 4th operation) Drawing 14 (e) is the cross section of the isolation semiconductor substrate concerning the gestalt of operation of the 4th of this invention, and drawing 14 (a) - (d) is the typical cross section showing the manufacture method until it results in drawing 14 (e). Although the case where it applies to a CMOS integrated circuit in the gestalt of operation of the 4th of this invention is explained, of course, it is applicable to other MOS ICs, such as nMOS (integrated circuit), a bipolar integrated circuit, a BiCMOS integrated circuit, a integrated circuit, etc. the manufacture method of the semiconductor substrate for CMOS integrated circuits concerning the gestalt of operation of the 4th of this invention — (**) — as first shown in drawing 14 (a), the n type field (100) silicon substrate 23 which has the 1st main front face (front face) and the 2nd main front face (rear face) is prepared, and a V groove with a depth of 1.2-1.5 micrometers is formed in the predetermined place on the 1st front face of main A predetermined place is mind called the place which finally serves as an isolation field. Formation of this V groove forms a 150-300nm thermal oxidation film in the well-known method (the 1st main front face), for example, the front face of n type silicon substrate 23, by the

photolithography method, carries out etching removal of the predetermined portion of a thermal oxidation film, and should just carry out anisotropic etching of the n type silicon substrate 23 by using this thermal oxidation film as a mask using KOH or an ethylenediamine pyrocatechol (EDP). In addition, a V groove may be an example and U slot is sufficient as it like the gestalt of the 1st — the 3rd operation of this invention. the case of U slot — CCl_4 , SiCl_4 , PCl_3 , and SF_6 etc. — what is necessary is just to form so that it may become a depth of 1.2–1.5 micrometers by RIE and efficient consumer response ion etching which were used The case of U slot and one of V grooves is also the width of face 11 of a separation slot. Width of face 12 of an element formation field A ratio $11 / 12$ It is desirable to make it become 1.5 or less. Next, an oxide film is formed about 1.7–2 micrometers in thickness by the LPCVD method using the organic silicon sources, such as TEOS, DADBS, OMCTS, and TMS, HMD. The thickness of the flat part in which a slot is not formed is said in 1.7–2 micrometers in thickness. In addition, you may apply application glass (SOG) with a spinner etc. instead of organic silicon CVD.

[0060] (b) It is n type silicon substrate 23 which next carried out SiO_2 CVD of drawing 14 (a) 1200 degrees C and N_2 In atmosphere, it holds for 2 hours and heat-treats. Then, flattening of the oxide film is carried out to the thickness of 0.3 micrometers using the CMP method while carrying out intake fixation of the rear face (the 2nd main front face) etc., and the oxide film 25 for SDB is formed as shown in drawing 14 (a). The controlled atmosphere in this case is O_2 , HCl , reducing gas, inert gas, or CO and CO_2 . But the same result is obtained.

[0061] (c) Next, form a SDB substrate by preparing independently the silicon substrate 26 which ground the front face to the mirror plane, and heat-treating mutually n type silicon substrate 23 and a silicon substrate 26 at lamination and 1100 degrees C – 1150 degrees C for 60 minutes to 2 hours, as shown in drawing 14 (c) through the oxide film 25 for SDB. Under the present circumstances, you may impress and heat-treat a pulse voltage in the state where it decompressed (vacuum). For example, what is necessary is to decompress and just to impress the pulse voltage of **350V about 10 minutes in 800 degrees C to 0.1Pa.

[0062] (d) If the rear face (the 2nd main front face) of n type silicon substrate 23 is ground next and it is made for the thickness of n type silicon substrate 23 to be set to 1 micrometer, a part of oxide film 25 for SDB will be exposed to the rear face of n type silicon substrate 23. Although drawing 14 (d) shows the cross section of the substrate of this state, drawing 14 (c) and a vertical relation are reversed and n type silicon substrate 23 is located in the bottom. Therefore, the element formation field 23 which had the circumference surrounded by the 2nd main front face of n type silicon substrate by the embedding oxide film 25 will be completed according to this process.

[0063] (e) Form the p well 31 in the interior of the element formation field 23 using a well-known MOS process as shown in drawing 14 (e) below. Furthermore, it is n^+ to the interior of the p well 31. It is p^+ to the portion in which p well of the source / drain fields 32 and 33, and the element formation field 23 is not formed. The source / drain fields 34 and 35 are formed. If a gate oxide film, the poly silicon-gate electrodes 98 and 98, and metal wiring are furthermore formed in the front face, the CMOS integrated circuit concerning the gestalt of operation of the 4th of this invention will be completed.

[0064] With the gestalt of operation of the 4th of this invention, it embeds with a SDB oxide film by 1 time of organic silicon system CVD (or application of SOG), and an oxide film can form simultaneously, rather than the gestalt of the 3rd operation shown in drawing 9 (a) – (g), the number of processes decreases and the part productivity becomes high. Moreover, as compared with the gestalt of the 3rd operation, since a heat treatment process also decreases, a semiconductor device can be manufactured by the fewer heat history, and reduction of a crystal defect and realization of the fine structure become easy.

[0065] Moreover, organic silicon system CVD is excellent in level difference covering nature, and since a thick oxide film can be formed in low temperature and a short time rather than it moreover forms a SDB oxide film by thermal oxidation, an oxidization induction defect (OSF) like [in thermal oxidation] is not generated, either. Therefore, there are also few crystal defects in the inside of an element formation field, and the leakage current in a CMOS circuit reduces them as a result. Moreover, since it excels in level difference covering nature, a SOI substrate can be

created using a substrate with the various shape not only of when shown in drawing 14 (a) but toothing, without being influenced by the flatness.

[0066] Although it mentioned above that U slot could be used with the gestalt of operation of the 4th of this invention, as for the aspect ratio in that case, of course, carrying out to ten or less is desirable. Moreover, the case of a V groove is also the depth dv and opening width of face $lv1$ by the side of the front face of a V groove. Ratios $dv/lv1$ Ten or less are desirable.

[0067] As explained above, when using the insulating material by CVD which used the organic silicon sources, such as TEOS, as the raw material as an isolation insulator layer in a CMOS integrated circuit, by heat-treating the gestalt of operation of the 4th of this invention, stress can be reduced and generating and proliferation of transposition under heat treatment under isolation field formation or in a subsequent element manufacturing process can be reduced. Therefore, according to the gestalt of operation of the 4th of this invention, it is the value of the leakage current of the formed pn junction in the inside of an element formation field 1.7×10^{-8} A/cm² It can be made to fall to below and highly efficient-ization of CMOS-LSI can be realized.

[0068] In addition, it is SiO₂ although the case where a silicon oxide (SiO₂ film) was made to deposit by ordinary-pressure CVD or the LPCVD method in the gestalt of the 1st - the 4th operation of the above-mentioned this invention was explained. CVD can also perform liquid phase CVD. In this case, O₂ What is necessary is to carry out the microwave discharge of the gas, to make it react with TMS, to make substrate temperature into -40 degrees C below the boiling point of a deposition particle, and just to make a silicon oxide deposit. After the liquid phase CVD, if it heat-treats like the gestalt of the 1st - the 4th operation of this invention, the same effect as the gestalt of the above-mentioned implementation will be acquired. It is SiO₂ all over U slot by the anodic oxidation which furthermore used ethylene glycol and N-methyl acetamide as the solvent as the electrolytic solution, added the potassium nitrate a little, used the silicon substrate as the anode plate and used platinum as the counterelectrode. You may form a film. The same effect will be acquired if heat treatment at 1100 degrees C - the same 1350 degrees C as the gestalt of each above-mentioned implementation is performed also in this case. Moreover, SiO₂ by the plasma CVD method It is also possible to embed U slot by the film.

[0069]

[Effect of the Invention] As explained in full detail above, when using the organic silicon source, for example, the insulating material by the CVD which used TEOS as the raw material, as an isolation insulator layer in the MOS IC, the bipolar integrated circuit, BiCMOS integrated circuit, or SIT integrated circuit on a silicon semiconductor substrate, by heat-treating this invention, stress can be reduced and generating and proliferation of transposition under heat treatment under isolation field formation or in a subsequent element manufacturing process can be reduced. Therefore, it is the value of the leakage current of the pn junction which was formed all over the element formation field according to this invention 1.7×10^{-8} A/cm² It can be made to fall to below and highly efficient-ization of integrated circuits, such as MOSLSI and a bipolar large-scale integrated circuit, can be realized.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the manufacturing process of the embedded isolation semiconductor substrate for MOS ICs concerning the gestalt of operation of the 1st of this invention.

[Drawing 2] It is drawing showing the relation between the heat treatment temperature of an embedding oxide film, and the crystal-defect density generated to an element formation field.

[Drawing 3] It is drawing showing the relation between the heat treatment temperature of an embedding oxide film, and the leakage current of the pn junction formed in the element formation field.

[Drawing 4] When heat-treating (annealing 1, annealing 2), it is the Raman scattered-spectrum view by the oxide film of a case.

[Drawing 5] It is drawing showing the heat treatment temperature dependence of an oxide film of the integrated-intensity ratio of each peak of Raman scattering.

[Drawing 6] It is drawing showing change of the etch rate by heat treatment.

[Drawing 7] It is drawing showing the manufacturing process of the embedded isolation semiconductor substrate for bipolar integrated circuits concerning the gestalt of operation of the 2nd of this invention.

[Drawing 8] It is drawing showing the relation between the heat treatment temperature of an embedding oxide film, and the leakage current of the pn junction formed in the element formation field.

[Drawing 9] It is drawing showing the manufacturing process of the embedded isolation semiconductor substrate for BiCMOS integrated circuits concerning the gestalt of operation of the 3rd of this invention.

[Drawing 10] It is drawing showing the relation between the aspect ratio of a slot, and defect density.

[Drawing 11] It is drawing showing the relation between the width of face of a slot, and the width of face of an element cambium.

[Drawing 12] It is the plan showing the case where line - and - space pattern exist in the two directions.

[Drawing 13] I1 / I2 shown in drawing 11 (or drawing 12) It is drawing showing a relation with defect density.

[Drawing 14] It is drawing showing the manufacturing process of the embedded isolation semiconductor substrate for CMOS integrated circuits concerning the gestalt of operation of the 4th of this invention.

[Drawing 15] It is drawing showing the structure of the isolation semiconductor substrate by the LOCOS method typical as conventional technology.

[Drawing 16] The conventional embedded element

[Description of Notations]

5 13 P-type-silicon substrate

6 U Slot

7, 71, 77 Embedding oxide film

8 Gate Oxide Film
12 Transposition
14 17 Oxide film
15 N+ Embedding Field
16 N Epitaxial Growth Phase
20 N+ Collector-Electrode Ejection Field
21 P Base Region
22 N+ Emitter Region
23 81 Silicon substrate
24 25 Oxide film for SDB
26 N Type Silicon Substrate
78 79 Layer insulation film
82 Oxide Film
83 Element Formation Field
88 Nitride
91 N+ Source Field
92 N+ Drain Field
93 Source Electrode
94 Drain Electrode
98 99 The poly silicon-gate electrode

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-205140

(43) 公開日 平成9年(1997)8月5日

(51) Int. Cl.⁶
H01L 21/76
21/316

識別記号

F I
H01L 21/76
21/316

N

審査請求 未請求 請求項の数23 O L (全18頁)

(21) 出願番号 特願平8-309590
(22) 出願日 平成8年(1996)11月20日
(31) 優先権主張番号 特願平7-302993
(32) 優先日 平7(1995)11月21日
(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 梅澤 華織
神奈川県川崎市幸区堀川町72番地 株式会
社東芝川崎事業所内
(72) 発明者 土屋 憲彦
神奈川県川崎市幸区堀川町72番地 株式会
社東芝川崎事業所内
(72) 発明者 松下 嘉明
神奈川県川崎市幸区堀川町72番地 株式会
社東芝川崎事業所内
(74) 代理人 弁理士 三好 秀和 (外3名)

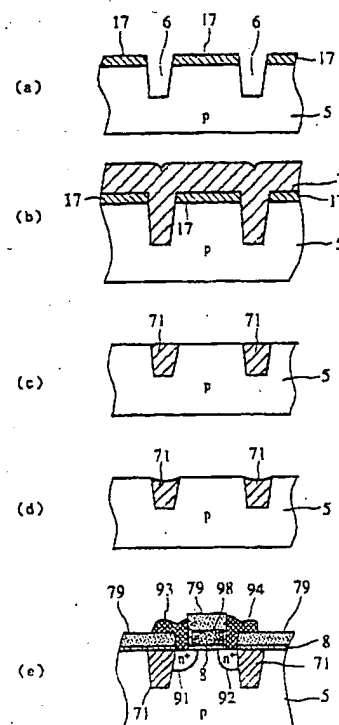
最終頁に続く

(54) 【発明の名称】 素子分離半導体基板およびその製造方法

(57) 【要約】

【課題】 素子形成領域に結晶欠陥の発生が少ない、有機シリコン系CVD法等による埋め込み素子分離法技術を提供する。

【解決手段】 半導体基板の所定の場所に選択的に溝部が形成され、この溝内に有機シリコン系CVD法による酸化膜を埋込酸化膜として埋め込んだ埋込素子分離基板であって、この埋込酸化膜は半導体基板の平坦化前又は平坦化の後に1100℃～1350℃で熱処理されている。熱処理により埋込酸化膜中の5員環以上の環構造と4員環以下の環構造が所定の割合であるように構成される。



【特許請求の範囲】

【請求項1】 半導体基板の表面の一部に形成された複数の溝部と、該溝部の内部に形成された埋込酸化膜と、該溝部と溝部との間に形成された素子形成領域とからなる素子分離半導体基板であって、

該埋込酸化膜は有機シリコン系CVD法、塗布ガラスの塗布法、又は陽極酸化法のいずれかの方法により形成され、1100～1350℃の温度で熱処理された酸化膜であることを特徴とする素子分離半導体基板。

【請求項2】 前記溝部の深さ d と、前記溝部の開口部の幅 l_1 の寸法との比で定義されるアスペクト比 d/l_1 が1.0以下であることを特徴とする請求項1記載の素子分離半導体基板。

【請求項3】 前記溝部の開口部の幅 l_1 を最小スペース幅とし、前記素子形成領域の幅 l_2 を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいて、該所定の方向で定義される l_1 と l_2 との比 l_1/l_2 が1.5以下であることを特徴とする請求項1記載の素子分離半導体基板。

【請求項4】 半導体基板の表面の一部に形成された複数の溝部と、該溝部の内部に形成された埋込酸化膜と、該溝部と溝部との間に形成された素子形成領域とからなる素子分離半導体基板であって、該埋込酸化膜は5員環以上の環構造および4員環以下の環構造をそれぞれ所定の割合で含む非晶質シリコン酸化膜であることを特徴とする素子分離半導体基板。

【請求項5】 前記環構造の所定の割合は、前記各環構造に対応するラマンシフトの積分強度の全体の積分強度に対する割合で決定され、5員環以上が実質的に全体の85%以上、および4員環以下が実質的に全体の15%以下であるという条件の、いずれか一方、もしくは両方を満たす構造であることを特徴とする請求項4記載の素子分離半導体基板。

【請求項6】 前記埋込酸化膜は有機シリコン系CVD法、塗布ガラスの塗布法、又は陽極酸化法のいずれかの方法により形成され、1100～1350℃の温度で熱処理された酸化膜であることを特徴とする請求項4記載の素子分離半導体基板。

【請求項7】 前記溝部の深さ d と、前記溝部の開口部の幅 l_1 の寸法との比で定義されるアスペクト比 d/l_1 が1.0以下であることを特徴とする請求項4記載の素子分離半導体基板。

【請求項8】 前記溝部の開口部の幅 l_1 を最小スペース幅とし、前記素子形成領域の幅 l_2 を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいて、該所定の方向で定義される l_1 と l_2 との比 l_1/l_2 が1.5以下であることを特徴とする請求項4記載の素子分離半導体基板。

【請求項9】 少なくとも以下の工程を含むことを特徴とする素子分離半導体基板の製造方法。

(イ) 半導体基板の表面の一部に複数の溝部を形成する第1工程

(ロ) 該溝部に有機シリコン系CVD法により酸化膜を埋め込む第2工程

(ハ) 該酸化膜を基板温度1100℃～1350℃で熱処理する第3工程

【請求項10】 前記第2工程における有機シリコン系CVD法は常圧CVD法、減圧CVD法、プラズマCVD法、光CVD法および液相CVD法のうちのいずれかであることを特徴とする請求項9記載の素子分離半導体基板の製造方法。

【請求項11】 前記第3工程における熱処理は H_2 等の還元性ガス、 He 、 Ne 、 Ar 、 Kr 、 Xe 等の不活性ガス、 O_2 、 N_2 、 HCl 、 CO 、および CO_2 のいずれか、又はこれらのうちから選択された2種以上のガスからなる混合ガス中で行なわれることを特徴とする請求項9記載の素子分離半導体基板の製造方法。

【請求項12】 前記第2工程は、溝部よりも厚く酸化膜を堆積し、その後前記半導体基板の表面が実質的に露出するまで表面を平坦化することを特徴とする請求項9記載の素子分離半導体基板の製造方法。

【請求項13】 前記第2工程は、溝部よりも厚く酸化膜を堆積する工程であり、前記第3工程の後で、前記半導体基板の表面が実質的に露出するまで表面を平坦化する第4工程をさらに含むことを特徴とする請求項9記載の素子分離半導体基板の製造方法。

【請求項14】 前記溝部の深さ d と、前記溝部の開口部の溝幅 l_1 の寸法との比で定義されるアスペクト比 d/l_1 が1.0以下であることを特徴とする請求項9記載の素子分離半導体基板の製造方法。

【請求項15】 前記溝部の幅 l_1 を最小スペース幅とし、前記素子形成領域の幅 l_2 を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいて、該所定の方向で定義される l_1 と l_2 との比 l_1/l_2 が1.5以下であることを特徴とする請求項9記載の素子分離半導体基板の製造方法。

【請求項16】 少なくとも以下の工程を含むことを特徴とする素子分離半導体基板の製造方法。

(イ) 第1および第2の主表面を有する第1の半導体基板を用意し、

該第1の主表面に直接接合用酸化膜を有機シリコン系CVD法により形成し、基板温度1100℃～1350℃において第1の熱処理を行なった後該第1の主表面を平坦化する第1工程、

又は該第1の半導体基板の該第1の主表面を平坦化後基板温度1100℃～1350℃における第1の熱処理を行なう第1工程

(ロ) 該直接接合用酸化膜を介して、該第1の半導体基板と、該第1の半導体基板とは異なる第2の半導体基板とを直接接合し、その後、該第1の半導体基板を所定の

厚みに調整する第2工程

(ハ) 該第1の半導体基板の該第2の主表面の一部に複数の溝部を形成する第3工程

(ニ) 該複数の溝部に有機シリコン系CVD法により埋込酸化膜を形成する第4工程

(ホ) 該埋込酸化膜に対して基板温度1100℃~1350℃において第2の熱処理を行う第5工程

【請求項17】 前記第1および第4工程における有機シリコン系CVD法は常圧CVD法、減圧CVD法、プラズマCVD法、光CVD法および液相CVD法のうちのいずれかであることを特徴とする請求項16記載の素子分離半導体基板の製造方法。

【請求項18】 前記第1および第2の熱処理は H_2 等の還元性ガス、 He 、 Ne 、 Ar 、 Kr 、 Xe 等の不活性ガス、 O_2 、 N_2 、 HCl 、 CO および CO_2 のいずれか、又はこれらのうちから選択された2種以上のガスからなる混合ガス中で行なわれることを特徴とする請求項16記載の素子分離半導体基板の製造方法。

【請求項19】 前記第4工程は、溝部よりも厚く酸化膜を堆積し、その後前記第1の半導体基板の第2の主表面が実質的に露出するまで表面を平坦化することを特徴とする請求項16記載の素子分離半導体基板の製造方法。

【請求項20】 前記第4工程は、溝部よりも厚く酸化膜を堆積する工程であり、前記第5工程の後で、前記第1の半導体基板の第2の表面が実質的に露出するまで表面を平坦化する第6工程をさらに含むことを特徴とする請求項16記載の素子分離半導体基板の製造方法。

【請求項21】 前記溝部の深さ d と、前記溝部の開口部の溝幅 l_1 の寸法との比で定義されるアスペクト比 d/l_1 が10以下であることを特徴とする請求項16記載の素子分離半導体基板の製造方法。

【請求項22】 前記溝部の幅 l_1 を最小スペース幅とし、前記素子形成領域の幅 l_2 を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいて、該所定の方向で定義される l_1 と l_2 との比 l_1/l_2 が1.5以下であることを特徴とする請求項16記載の素子分離半導体基板の製造方法。

【請求項23】 少なくとも以下の工程を含むことを特徴とする素子分離半導体基板の製造方法。

(イ) 第1および第2の主表面を有する第1の半導体基板を用意し、該第1の主表面の一部に複数の溝部を形成する第1工程

(ロ) 該第1の主表面に直接接合用酸化膜を有機シリコン系CVDにより形成し、基板温度1100℃~1350℃において熱処理を行なった後該第1の主表面を平坦化する第2工程、

又は該第1の主表面を平坦化後基板温度1100℃~1350℃における熱処理を行なう第2工程

(ハ) 該直接接合用酸化膜を介して、該第1の半導体基

板と、該第1の半導体基板とは異なる第2の半導体基板とを直接接合し、その後該第1の半導体基板の厚みを該直接接合用酸化膜の一部が露出するまで、薄くし、該第1の半導体基板の第2の主表面に該直接接合用酸化膜に囲まれた素子形成領域を形成する第3工程

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はLSI等の半導体集積回路用基板およびその製造方法に関するもので、特に半導体集積回路の素子分離技術に係るものである。

【0002】

【従来の技術】LSIを形成するには、トランジスタ等の能動素子、又は抵抗やキャパシタ等の受動素子を形成する素子形成領域の周辺に、1つの素子形成領域と他の素子形成領域とを電気的に分離する素子分離領域とを形成することが必要である。MOS・LSI技術やバイポーラLSI技術の発展の中でこの素子分離領域を形成するための素子分離技術は常に重要な技術課題の一つであったが、今後もその重要性はますます増大すると考えられる。この素子分離技術の歴史の中で時代を画する一つの展開は、素子形成領域と素子分離領域を自己整合的に区分できるLOCOS (LOCAL Oxidation of Silicon) 技術の開発であったと言える。LOCOS技術 (LOCOS法) は図15に示すように窒化膜 (Si_3N_4 膜) 88をマスクにして選択酸化を行ない、 Si_3N_4 膜のない場所のSi表面に形成された酸化膜 (SiO_2 膜) 82を素子分離領域の絶縁層として用いるものである。この素子分離技術とポリシリコン配線技術とが相まって今日のLSI産業の隆盛をもたらしたといっても過言ではない。しかしサブミクロンからディープサブミクロンの微細加工時代に至り、このLOCOS技術もいよいよその限界に近づきつつある。その最大の問題点は、いわゆるバズビークの存在による素子形成領域 (活性領域) の侵食と、フィールド酸化膜形成時の局所的なストレスの発生による結晶欠陥の発生である。とくにバズビークはVLSIあるいはULSIにとっては高集積化の阻害要因となっており、バズビークによる侵食を少なくし微細化するためには酸化膜82の厚さを薄くせざるを得なくなる。しかし酸化膜82の厚さを薄くすることは、素子間耐圧が低下するという問題を発生させる。これを克服するためにLOCOS法の改良や新しい分離技術が種々提案されている。たとえばLOCOS法をベースとした改良素子分離技術として改良コプラナ法、直接窒化膜マスク方式、あるいはSWAMI (Side Wall Masked Isolation) 等が知られ、さらに選択エピタキシャル法やUグループ法等も提案されている。これらの素子分離技術に加え、BOX (Buried Oxide) 法と呼ばれる、図16に示すような酸化膜埋込み法がサブミクロン寸法、ディープサブミクロン寸法のV

LSI等における素子分離技術として注目されている。これはシリコン基板5にU溝を形成した後、 SiO_2 等の絶縁材料77をU溝を埋め込むように堆積する素子分離技術である。

【0003】BOX法で用いる絶縁膜堆積技術には、均一性、平坦性、段差被覆性（ステップカバレッジ）、膜質、およびプロセスの低温化等の種々の要求が課せられている。このうち特に段差被覆性およびプロセスの低温化が重要である。ギガスケール集積回路（GSI）等、ますます高集積化が進む、半導体集積回路の製造には低温で良質な絶縁膜が要求されるのである。この要求に対して従来比較的低温（300～450℃）で形成できるモノシラン（ SiH_4 ）と N_2O 等を用いたCVD技術であるLTO（Low Temperature Oxide）が知られているが、LTOは形成条件にもよるが一般に段差被覆性が悪く、膜質も劣る。とくに常圧CVD法や減圧CVD法による酸化膜は引っ張り応力を示し、クラック耐性が弱いという欠点をもつ。

【0004】これらの要件を鑑み、最近TEOS（テトラエチルオルソシリケート： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）を代表とする有機シリコン系材料を用いたCVD技術の研究が活発となっている。たとえばTEOSと O_2 の反応によれば450℃以下の低温で絶縁膜の形成が可能で、しかも段差被覆性が良好であるからである。

【0005】

【発明が解決しようとする課題】図16に示したBOX法のうちで比較的溝の深さが浅いものは微細化に有利で、シャロウ・トレンチ分離（Shallow Trench Isolation; STI）法とも称せられる。しかしながら、このSTI法は、LOCOS法に比し素子を微細化する点では有利であるが、能動素子領域（素子形成領域）となるシリコン等の半導体基板と溝に埋め込まれる絶縁物（例えばシリコンの酸化物）との間で、熱膨張係数が異なるため、素子分離領域形成中、または素子分離領域形成後のLSI製造工程中の熱工程によって半導体基板中に応力が生じ、図16に太い実線で示すような転位12等の結晶欠陥を発生させることになるという問題があった。特に、シリコン酸化物の形成を有機シリコンソースを原料とした場合、有機シリコンソースの原料精製技術に起因した不純物の問題がクローズ・アップされてきている。すなわち、現状では高純度の有機シリコンソースを得ることが困難であるため、堆積直後はシリコンの酸化物（ SiO_2 ）以外の不純物（例えば H_2O 、有機物等）が SiO_2 中に残存あるいは吸着している。したがって、その後の800～1000℃の熱工程により、これらの不純物が解離されることに起因する種々の問題点が生じる。有機シリコンソース原料中の不純物としての水分は通常100～20ppm含まれている。このため、たとえばシリコンデバイスにおいては、シリコン基板と埋込んだ SiO_2 （埋込み酸化

膜）とでは熱膨張率が異なる上に、埋込み酸化膜中の水分の解離に伴ない、膜収縮が加わり、シリコン基板に過大な圧縮応力が加わるという問題が挙げられる。さらに、図16に示す従来のSTI構造は素子分離領域形成中、またはその後の素子製造工程に伴う熱過程において基板に結晶欠陥を導入し易くなるという欠点があった。つまり、従来の有機シリコンソースを用いたSTI法による素子分離技術は基板表層に転位12等の結晶欠陥が発生、増殖、伝搬しやすいという一次的な問題点と、これらの問題点に付随して、これらの結晶欠陥が金属不純物を捕獲し易く、素子形成領域（活性領域）に結晶欠陥が多数発生するために接合リーク等の電氣的不良が発生しやすいという二次的な問題点があった。

【0006】特に、実際のLSI製造プロセスでは、素子分離領域の存在自身に起因する応力の他に、イオン注入によるダメージに起因した応力、さらには電極、層間絶縁膜等のそれぞれ性質の異なる種々の多層膜が形成されていることに付随した応力等が生じており、結晶欠陥が発生し易い。STI構造自身に起因した結晶欠陥とこれ以外に起因した結晶欠陥の相乗的な効果もある。基板中に発生した結晶欠陥は、金属不純物等を捕獲し易くなる。このため従来のSTI法においては、活性層（素子形成領域）中の結晶欠陥の存在により、接合リークが増大したり、ゲート酸化膜の絶縁破壊が生じる等の電氣的不良が発生するという問題があった。したがって素子形成領域に結晶欠陥を発生させない素子分離技術の開発が今後の微細化されたLSI製造における重要な解決すべき課題であるのである。

【0007】つまり、微細化されたGSI、ULSI、VLSI等の素子分離技術においては、バースピークが存在しないこと、表面が平坦であること、および結晶欠陥が発生しないこと等の条件が要求されるのである。STI法ではバースピークの問題はないものの、表面の平坦性や結晶欠陥の発生の抑制は重要な解決すべき課題である。

【0008】上記のような問題点に鑑み、本発明はSTI法あるいはSTI法に類似の埋込み素子分離法を用いた半導体装置であって、 SiO_2 の応力に起因した素子形成領域に発生する結晶欠陥が低減された高集積密度半導体用の半導体基板を提供することを目的とする。

【0009】本発明の他の目的は SiO_2 の応力に起因した結晶欠陥を低減し、素子形成領域中のpn接合リーク電流を抑制し、同時に高集積密度化が可能な半導体基板の製造方法を提供することである。

【0010】本発明のさらに他の目的は、熱酸化膜のエッチングレートと同等なエッチングレートを有した良質な酸化膜を低温で素子分離領域に埋め込むことができる半導体基板の製造方法を提供することである。

【0011】

【課題を解決するための手段】上記目的を達成するた

め、この発明の第1の特徴は、図1(e)、図7

(f)、図9(g)および図14(e)に例示するように半導体基板の表面の一部に形成された複数の溝部6と、溝部6の内部に形成された埋込酸化膜71と、溝部6と溝部6との間の素子形成領域とからなる素子分離半導体基板であって、埋込酸化膜71は有機シリコン系CVD法、いわゆるSOG(Spin-on-glass)法と呼ばれる樹脂ガラスの塗布法又は陽極酸化法のいずれかの方法により形成され、その後1100~1350℃の温度で熱処理された酸化膜であることである。ここで「複数の溝部」とは、所定の切断面で観察した場合にその断面において複数の溝部が観察されるという意であって、平面パターン上における形状を限定するものではない。すなわち一定の場合においては、平面パターンとしてはこれらの溝部が連続して一つの溝部となっていててもかまわない。たとえば図1の対応する平面図を省略しているが、図1(a)に示される複数の溝部6は、図1(e)の中央部に示されるような n^+ ソース領域91、 n^+ ドレイン領域92を具備するMOSトランジスタ等が形成される素子形成領域のまわりをぐるりと囲んだ一体の領域として形成されていると解することが可能であると解釈すべきである。あるいは、図12に示すように素子形成領域のまわりを埋込酸化膜71が島状に配置され、完全に囲んでいなくてもよい。いずれにせよ、一定の断面で観察した場合において素子形成領域を挟むように2以上の溝部が存在すれば本発明にいう「複数の溝部」に相当するのである。なお、1350℃以上の温度で酸化膜を熱処理しても本発明の目的は達成されるが、熱処理用の反応管や炉等の装置の構成が困難となり、また炉から半導体基板への汚染も問題となるので、現状の技術を検討すると現実的ではない。また酸化膜の融点以上には高温にできないことは当業者には自明であろう。

【0012】好ましくは、第1の特徴において、半導体基板の表面に形成されるこれらの溝部6の深さ d と、これらの溝部6の開口部の幅 l_1 の寸法との比で定義されるアスペクト比 d/l_1 が10以下であることである。図10に示すように本発明の第1の特徴はアスペクト比10以下において素子形成領域に観察される欠陥密度が低減し、アスペクト比10以上では埋込酸化膜71の応力の低減化が不十分であり、この応力に起因した欠陥密度は低減しないことが実験的に明らかになったからである。また好ましくは、溝部の幅 l_1 を最小スペース幅とし、素子形成領域の幅 l_2 を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいてこの所定の方向で定義される l_1 と l_2 との比 l_1/l_2 が1.5以下であることである。図13に示すように l_1/l_2 が1.5以上では1100℃~1350℃の熱処理によっても酸化膜の応力は低減できず、結晶欠陥が発生する。なお、この l_1/l_2 は一定の方向について定義されるものであり、このライン・アンド・

スペース・パターンの繰り返しの方向に対して直交するような方向、すなわち図11(b)の切断面X-Xに直交する方向のパターンであって、最小ライン幅もしくは最小スペース幅とならないような部分のパターン寸法の比は1.5以上となってもかまわない。図12にはライン・アンド・スペース・パターンが2方向に存在する場合を示した。図12においてはX-X方向において比 l_{1x}/l_{2x} が定義され、Y-Y方向において比 l_{1y}/l_{2y} が定義される。このような場合においては少なくとも、いずれか一方の方向において比が1.5以下であればよい。たとえば

$$l_{1x}/l_{2x} \leq 1.5 \quad \dots (1)$$

$$l_{1y}/l_{2y} > 1.5 \quad \dots (2)$$

であれば(1)式を採用すればよい。逆の場合は(2)式を採用すればよい。もちろん両方向において比 l_{1x}/l_{2x} 、 l_{1y}/l_{2y} が共に1.5以下であつてもかまわない。本発明の「所定の方向で定義される l_1 と l_2 との比」とは、以上のように、いずれか一つの方向で定義され、その定義された方向における比 l_1/l_2 が1.5以下であれば、他の方向については問わないという意味に解すべきである。

【0013】本発明の第2の特徴は、第1の特徴と同様な図1(e)、図7(f)、図9(g)および図14(e)に例示するような形状の素子分離半導体基板であって、この埋込酸化膜25、71は5員環以上の環構造および4員環以下の環構造をそれぞれ所定の割合で含む非晶質シリコン酸化膜であることである。

【0014】ここで所定の割合とはラマン散乱分光スペクトルの測定から求められる図4(a)および4(b)に示すような3員環、4員環、および5員環以上の多員環構造に対応するそれぞれのラマンシフトの積分強度の全体(全スペクトルの積分強度)に対する割合が所定の割合という意味である。すなわち図4(a)および4(b)に示すように波数300~700 cm^{-1} のスペクトル領域を全体とした場合の各ラマンシフトの積分強度の割合を意味する。ここで各ラマンシフトの積分強度は対応するピークを含む所定のスペクトル範囲内で定義される。

【0015】つまり図5に示すように、(i)5員環以上に対応するラマンシフトの積分強度比が実質的に全体の85%以上、(ii)4員環または3員環に対応するラマンシフトの積分強度比が実質的に全体の15%以下、という2つの条件の少なく共一方を満たす非晶質シリコン酸化膜(SiO_2 膜)であることにより、埋込酸化膜25、71中の応力および埋込酸化膜25、71と半導体基板5、16、23、との界面の応力が緩和され、素子形成領域中の転位の発生が抑制されることとなる。ここで「実質的に85%以上」とは図5でエラーバーで示すように約80%以上程度を許容するという意である。また「実質的に15%以下」とは約20%以下程度までが

許容されるという意である。3員環および4員環を共に含む場合は3員環と4員環の和が実質的に15%以下であればよい。すなわち本発明にいう85%以上、15%以下とは図5に示す関係を意味すると解すべきである。なお、本発明の第2の特徴における積分強度比の計算においてはバックグランド成分が除去されていることはもちろんである。本発明の第2の特徴の構造により、素子形成領域中に形成されるpn接合のリーク電流が低減し、良好な特性を有した高密度集積回路が実現できる。なお、本発明の5員環以上を実質的に85%以上、4員環または3員環を実質的に15%以下含む酸化膜のエッチング速度(エッチングレート)は図6に示すように NH_4F によるエッチングレートが $130\text{nm}/\text{min}$ 以下となり、熱酸化膜の対応するエッチングレートとほぼ等しい。したがって簡単な5員環以上、4員環の組成の検証としてはエッチングレートを調べればよい。

【0016】本発明の第3の特徴は、図1(a)～

(e)又は図7(d)～(f)に例示するような、次の各工程を少なくとも含むことである。すなわち、(イ)図1(a)又は図7(d)に示すように半導体基板5、16の表面の一部に複数の溝部6を形成する第1工程、(ロ)図1(b)、(c)又は図7(e)に示すように溝部6に有機シリコン系CVD法により酸化膜7、71を埋め込む第2工程、および(ハ)酸化膜71を基板温度 $1100^\circ\text{C} \sim 1350^\circ\text{C}$ で熱処理する第3工程、とを少なくとも含むことを特徴とする。「複数の溝部」とは一定の断面で見た場合の概念であることは上述した通りである。有機シリコン系CVD法とはTEOS(Tetraethylorthosilicate; $\text{Si}(\text{OC}_2\text{H}_5)_4$)、TMOS(Tetramethoxysilane; $\text{Si}(\text{OCH}_3)_4$)、TPOS(Tetrapropoxysilane; $\text{Si}(\text{OC}_3\text{H}_7)_4$)、あるいはDADBS(Diacetoxyditeritarybutoxysilane; $(\text{C}_4\text{H}_9\text{O})_2\text{Si}-(\text{OCOCH}_3)_2$)等の有機シリコンソースを原料としたCVDをいう。

【0017】好ましくは、第2工程における有機シリコン系CVD法は常圧CVD法、減圧CVD法、プラズマCVD法、光CVD法および液相CVD法のうちのいずれかであることである。常圧CVD法は O_3 をオゾナイザーに導入して放電させて形成させたオゾン(O_3)を用いる、いわゆるオゾン系常圧CVD法でもよい。減圧CVD法(LPCVD)はたとえばTEOS- O_3 の反応を 6.7kPa 等の減圧化で行うCVD法をいう。プラズマCVDとは 13.56MHz 、あるいは 150kHz 程度のプラズマ放電を用いてTEOS、 O_3 、 He 等のガスソースを用いて行なえばよい。光CVD法は ArF (193nm)、 KrF (249nm)、 XeCl (308nm)、 XeF (350nm)等によるエキシマレーザ光や高圧水銀ランプ、水銀-キセノンランプ等

の、主として紫外光の光エネルギーを用いた光反応により行なえばよい。液相CVD法とは、たとえばRF放電により励起された O_3 とTMS(Tetramethylsilane; $\text{Si}(\text{CH}_3)_4$)を用いた -40°C でのCVD等をいう。

【0018】好ましくは、有機シリコン系CVD法による酸化膜は H_2 等の還元性ガス、 He 、 Ne 、 Ar 、 Kr 、 Xe 等の不活性ガス、 O_2 、 N_2 、 HCl 、 CO 又は CO_2 のいずれか、又はこれらのうちから選択された2種以上のガスからなる混合ガス中で行なわれることである。

【0019】また、第2工程における埋込酸化膜の形成は、具体的には図1(b)に示すように溝部よりも厚く酸化膜7を堆積し、その後図1(c)に示すように半導体基板5の表面が実質的に露出するまで表面を平坦化するステップを含むことが好ましい。ここで「半導体基板の表面が実質的に露出する」とは、完全に半導体基板5が露出するまでエッチバックする必要は必ずしもなく、たとえば、その後の工程において必要があれば、 $50\text{nm} \sim 100\text{nm}$ 、あるいは 300nm 程度の極めて薄い酸化膜が半導体基板5の表面に残るようにエッチバックして、半導体基板の表面を平坦化しても「実質的に露出している」と解するという意味である。また平坦化の工程と熱処理の工程はどちらが先でもよい。したがって上述とは逆に前記第2工程としては、有機シリコン系CVDで溝部の深さよりも厚く酸化膜を形成する工程のみとし、第3工程の熱処理後、第4工程として表面の平坦化工程を行ってもよい。

【0020】本発明の第3の特徴における重要な点は熱処理温度(アニール温度)である。図2は有機シリコン系CVD法の後、 $1000^\circ\text{C} \sim 1350^\circ\text{C}$ の間で、 50°C 間隔で熱処理を行ない、素子分離半導体基板構造を試作した場合の結果を示す。つまり、この素子分離領域形成後、トレンチとトレンチの間の幅 $0.3\mu\text{m}$ の素子形成領域(SDG領域)にMOSTランジスタ等の素子を形成しMOS集積回路を構成した後の素子分離半導体基板を、表面SEM観察した結果である。図2に示すように、 1100°C 以下の低温側熱処理温度では転位が多発していることがわかる。これは図16に太い実線で示した従来のSTI基板における転位12と同様の転位である。

【0021】図2のデータは選択エッチング法で転位ピットを顕在化させてSEM観察を行ない、 $1\text{mm} \times 1\text{mm}$ 角の領域内の転位密度を面内5点において測定し、それらの値を平均した結果である。 $1000^\circ\text{C} \sim 1100^\circ\text{C}$ までの熱処理温度では図16(従来技術)の太い実線と同様の転位12が約 $10\text{個}/\mu\text{m}^2$ 発生しているが、それ以上の熱処理温度、すなわち本発明の温度領域では低減していることがわかる。また、上記の素子分離を行なったSDG領域にMOSTランジスタを形成し、この

MOSトランジスタ中のpn接合構造に対応する n^+ - p ダイオードの接合リーク特性を測定した結果を図3に示す。1100℃以上の熱処理をした基板ではリーク電流が低減していることがわかる。この結果は、リーク電流の発生原因である n^+ - p ウェル接合部の転位が抑制されたことを反映しており、本発明による埋込酸化膜の応力制御が転位抑制、リーク電流低下に有効であることを示すものである。同様な結果は図8に示すパイポーラ集積回路の素子分離に用いた場合も明らかであり、1000℃以下における熱処理よりも本発明の温度領域(1100℃~1350℃)における熱処理の場合の方が、 SiO_2 の応力が緩和され、接合リーク電流が低減していることがわかる。

【0022】本発明の第4の特徴は、(イ)第1および第2の主表面を有する第1の半導体基板を用意し、第1の半導体基板23の第1の主表面に図9(a)に示すように直接接合用酸化膜24を有機シリコン系CVD法により形成し、基板温度1100℃~1350℃において第1の熱処理を行なった後、その表面を図9(b)に示すように平坦化を行う第1工程、又は平坦化を行った後基板温度1100℃~1350℃における第1の熱処理を行う第1工程、(ロ)図9(b)に示されるように表面が平坦化された直接接合用酸化膜25を介して、第1の半導体基板23と、第1の半導体基板23とは異なる第2の半導体基板26とを直接接合し、いわゆるSOI(Silicon-On-Insulator)基板を形成し、その後図9(c)に示すようにこの第1の半導体基板23の裏面を研削、研磨エッチング等により所定の厚みに調整する第2工程、(ハ)第1の半導体基板23の第2の半導体基板26に対向しない側に位置する第2の主表面の一部に図9(d)に示すように複数の溝部6を形成する第3工程(図9(d)は図9(c)とは表裏を逆転している)、(ニ)この複数の溝部6のそれぞれへ有機シリコン系CVD法により図9(e)に示すように埋込酸化膜7を形成する第4工程、および(ホ)埋込酸化膜7に対して基板温度1100℃~1350℃において第2の熱処理を行なう第5工程、とを少なくとも含むことである。ここで第1の半導体基板23と第2の半導体基板26とは同種の半導体基板である必要はなくSiとSiC等の異種の半導体の組み合わせでもよい。つまりSi以外のIV族、III-V族、II-VI族半導体および非晶質材質を第1および第2の半導体基板として選ぶこともできる。なお、第1工程における第1の熱処理を省略し、第2工程の直接接合時に第1の熱処理と同一条件の1100℃~1350℃の熱処理を行ってもよい。あるいは第1の熱処理を省略し、第5工程における第2の熱処理によって第1の熱処理を代用してもよい。

【0023】本発明の第4の特徴の構成によれば、埋込酸化膜71および直接接合用酸化膜25の応力が低減され、素子形成領域における転位等の結晶欠陥の発生が抑

制される。

【0024】本発明の第5の特徴は、(イ)第1および第2の主表面を有する第1の半導体基板を用意し、図14(a)に示すように第1の半導体基板23の第1の主表面の一部に複数の溝部を形成する第1工程、(ロ)図14(a)に示すように第1の半導体基板の第1の主表面に直接接合用酸化膜25を有機シリコン系CVD法により形成し、基板温度1100℃~1350℃において熱処理を行なった後図14(b)に示すように第1の半導体基板23の第1の主表面の上部の酸化膜25を平坦化する第2工程、又は図14(b)に示すように第1の半導体基板23の第1の主表面の上部の酸化膜25を平坦化後基板温度1100℃~1350℃における熱処理を行なう第2工程、および(ハ)直接接合用酸化膜25を介して、図14(c)に示すように第1の半導体基板23と、第1の半導体基板とは異なる第2の半導体基板26とを直接接合し、その後第1の半導体基板23の厚みを直接接合用酸化膜25の一部が露出するまで薄くし、図14(d)に示すように、第1の半導体基板23の第2の主表面に、直接接合用酸化膜25に囲まれた素子形成領域を形成する第3工程、とを少なくとも含むことである。ここで第1の半導体基板23と第2の半導体基板26とは同種の半導体基板である必要はなくSiとSiC等の異種の半導体の組み合わせでもよい。つまりSi以外のIV族、III-V族、II-VI族半導体および非晶質材質を第1および第2の半導体基板として選ぶことができる。

【0025】本発明の第5の特徴によれば1回の有機シリコン系CVD法により、同時に埋込酸化膜25と直接接合用酸化膜25が形成できるので、第4の特徴に比して工程数が減少する。すなわち第1の半導体基板23の表面に露出した直接接合用酸化膜25が埋込酸化膜としても機能することとなる。また熱処理工程も第4の特徴に対し少ないのでプロセスの低温化に寄与することになる。

【0026】本発明の第5の特徴の構成によれば、埋込酸化膜25および直接接合用酸化膜25の応力が低減され、素子形成領域における転位等の結晶欠陥の発生が抑制される。

【0027】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。半導体装置の図面の表現上一般的なことはあるが、以下の図面は正確な寸法を表現したのではなく、模式的なものであると理解すべきである。特に各層の厚みの相対的關係は現実の比率等とは異なることに注意すべきである。

【0028】(第1の実施の形態)図1(e)は本発明の第1の実施の形態に係るMOS集積回路用の埋め込み素子分離半導体基板(シャロウ・トレンチ素子分離(STI)半導体基板)の断面構造で、図1(a)~(d)

は図1(e)に至るまでの製造方法を示す工程断面図である。本発明の第1の実施の形態に係る素子分離半導体基板は、図1(e)に示すように半導体基板5の表面から形成された溝部の内部に埋込酸化膜71が形成され、この埋込酸化膜71と埋込酸化膜71との間の素子形成領域の間に n^+ ソース領域91、 n^+ ドレイン領域92、ゲート酸化膜8、ポリシリコンゲート電極98、ソース電極93、ドレイン電極94、および層間絶縁膜79からなるMOSトランジスタが形成されている。

【0029】本発明の第1の実施の形態の素子分離半導体基板に形成されたMOS集積回路は、埋込酸化膜71の応力が以下に示すような熱処理を施すことにより緩和し、したがって素子形成領域には、従来技術で説明した図16に示すような転位12は発生しなくなる。したがって、転位に起因した $p-n$ 接合リーク電流も低減する。

【0030】本発明の第1の実施の形態に係る素子分離半導体基板は以下のような工程によって製造できる。

【0031】(イ) まず面方位(100)の鏡面シリコン基板の表面にたとえば100nmのシリコン酸化膜17を水蒸気酸化法(ウェット酸化法)等により形成し、この酸化膜17の表面にフォトリソグラフィ法によりフォトリソグراف法により酸化膜17をエッチングする。このエッチングにより酸化膜17からなるシリコンエッチング用マスクパターンを形成し、それ以外のシリコン基板5の表面を露出させる。そして、酸化膜エッチングに用いたフォトリソグراف法を除去後、このシリコン基板5の露出部を酸化膜17をマスクとしてRIEにて図1(a)に示すように幅0.3 μm 、深さ1 μm の溝を形成する。シリコン基板5のRIEはたとえば CF_4 と H_2 の混合ガスを1.3Paの圧力で、13.56MHzの高周波電力を0.22W/ cm^2 で印加して行なえばよい。あるいは SF_6 と O_2 との混合ガス、又は CCl_4 等でRIEを行ってもよい。

【0032】(ロ) 次に、基板を洗浄後、図1(b)に示すように有機シリコンソース、例えばTEOS($\text{Si}(\text{OC}_2\text{H}_5)_4$)を用いたCVD法で酸化膜7を形成する。この酸化膜を堆積させる前に熱酸化膜あるいは Si 、 N_2 を薄く形成させていてもかまわない。この酸化膜7は溝を完全に埋め込むため、溝の深さ以上例えば1.1 μm の厚さで Si 基板上の全面に形成する。この溝を埋め込む材料として有機シリコンソースに酸化剤例えば N_2 、 O 、 O_2 、 O_3 などを加えたものでもよい。又、有機シリコンソース、 SiH_4 などのシリコン水素化合物、 SiCl_4 などのシリコン塩化物を単独、もしくはこれらの原料の2種類以上を混合して原料としたCVD法でも溝をシリコン酸化膜で埋め込むこともできるし、それぞれの原料に酸化物を加えてもかまわない。

【0033】(ハ) 続いて図1(c)に示すように、たとえばCDE法によってエッチバックすることにより溝

に埋め込まれた以外の部分のシリコン基板5を外部に露出させ、平坦化させる。

【0034】(ニ) 有機シリコンソースにより形成された埋込み酸化膜71は SiO_2 以外の不純物、例えば水を多く含有するため、図1(d)に示すように1100~1350 $^{\circ}\text{C}$ において熱処理を行なう。図1(d)に示すように熱処理により若干の湾曲(凹部)が生じる。本処理はたとえば N_2 中で2時間程度の熱処理でよいが熱処理の雰囲気ガスは O_2 、 HCl 、還元性ガス、不活性ガスでも同様の結果が得られる。なお、素子分離領域以外の基板上的酸化膜を除去して平坦化した後、熱処理を行なう場合について説明したが、先に熱処理した後、素子分離領域以外の基板上的酸化膜7を除去して、平坦化しても同様の効果が得られる。

【0035】(ホ) 最後に、図1(e)に示すようにトレンチとトレンチの間の素子形成領域、すなわちSDG領域(幅0.3 μm)にMOSトランジスタを形成する。MOSトランジスタの形成は、ポリシリコンゲート78を用いて自己整合的に n^+ ドレイン領域92を形成する標準的なMOSプロセスで形成すればよく、ここでは説明を省略する。

【0036】図1(e)に示したように素子形成領域にMOSトランジスタを形成した後の、素子形成領域中の転位密度は図2に示すように1個/ μm^2 以下である。図2の転位密度の測定結果は、試料を選択エッチング後、SEM観察を行ない、1mm \times 1mm角の領域内の5点の平均についてのデータである。

【0037】図3は上記MOSトランジスタの構造に対応したTEGパターンの $p-n$ 接合ダイオードのリーク電流を示す。すなわち、 n^+ ソース領域91と p ウェル5間に形成される n^+p 接合のリーク電流を図3に示すが、リーク電流が15pA以下に低減している。TEGパターンのダイオード面積は350 $\mu\text{m} \times 240 \mu\text{m}$ であるので、このことは $1.7 \times 10^{-4} \text{ A/cm}^2$ 以下のリーク電流密度に低減できたことを意味する。図3の結果は、本発明の第1の実施の形態により、リーク電流の発生原因である n^+p 接合部の転位が抑制されたことを示すものである。

【0038】図4(a)、(b)および図5は上記の転位密度の低減化や、リーク電流の低減化を可能にする本発明の第1の実施の形態に係る酸化膜の構造をラマン散乱を用いて調べた結果である。すなわち、まず、シリコン基板に、上記埋め込み絶縁膜の形成方法で酸化膜を面に均一に形成し、さらに前述の熱処理を施した酸化膜(SiO_2)の構造をラマン散乱分光法により調べた結果である。 SiO_2 はラマン散乱断面積が小さく、測定においては Si 基板中からの振動によるラマン散乱のピークが支配的になるので、 SiO_2 が表面に形成されているシリコン基板のラマン散乱シフトのスペクトルから SiO_2 膜が形成されていない Si 基板の、ラマン散乱

シフトのスペクトルを差し引くことで図4(a)に示すような複数のピークを有した SiO_2 のラマン散乱のスペクトルが得られる。またこのピークをシミュレーションによって分離すると図4(b)のように、3員環、4員環、および5員環以上の多員環に分離できる。この環状構造の分離の方法は、C. J. Breinker et al., J. Non-Cryst. Solids 82 (1986) 177などによって確立されている。図4(a)においてアニール1は1000℃、1時間の熱処理で、アニール2は1150℃、1時間の熱処理である。またアニール1、およびアニール2はいずれもN₂ガス雰囲気中の熱処理である。

【0039】熱処理温度ごとに各ラマンシフトのスペクトルの積分強度を取り、全体の積分強度に対する比（以下積分強度比という）を求めると図5のようになる。全体の積分強度とは波数300~700 cm^{-1} におけるスペクトルの積分強度で、Si基板からのバックグラウンド値を引いた（除いた）値である。転位の発生が低減する1100℃から3、4員環の積分強度比は低減し、また5員環以上の多員環の積分強度比が増加していることが分かる。すなわち、 SiO_2 の環構造において、4員環以下の積分強度比が実質的に全体の15%以下、もしくは5員環以上の多員環の積分強度比が実質的に全体の85%以上であれば転位の発生原因である埋め込み材の応力が緩和され、転位を抑制することができるとわかる。ラマン散乱の測定の誤差等を考慮すると、図6に示すように4員環以下は約20%以下、5員環以上は約80%以上であれば本発明の効果は得られると言える。

【0040】図6は本発明の第1の実施の形態に係る酸化膜のエッチングレート（エッチング速度）を示す。本発明の熱処理温度、すなわち1100℃~1350℃で熱処理した酸化膜の NH_4F （フッ化アンモニウム）溶液によるエッチングレートは130 nm/min 以下であり、図6の左側に示した熱酸化膜のエッチングレートとほぼ等しい値である。有機シリコン系CVD法により堆積し熱処理しない酸化膜、いわゆる「アズ・デポ」の酸化膜は約650 nm/min のエッチングレートで NH_4F によってエッチングされる。したがって本発明の高温アニールにより5員環以上が80%となる共に、酸化膜のエッチングレートが下がることがわかる。酸化膜のエッチングレートとラマン散乱で測定した5員環以上、3、4員環の SiO_2 のそれぞれの含有率はほぼ対応していると言える。

【0041】なお、本発明の第1実施の形態においては上記(ロ)の工程でTEOS等の有機シリコンソースを用いたCVD法で酸化膜7を形成したが、酸化膜形成方法はこのような有機シリコン系CVD以外の方法でもよい。たとえば、いわゆるSOG（Spin-on-glass:スピノン・ガラス）法と称せられる方法を用いてもよい。SOG法はアセトン、キシレン等の溶剤にポリシロキサ

ン等を溶かした樹脂ガラスをスピナー等を用いて塗布し、80℃~100℃のプリベークで溶剤を取り除き、 SiO_2 膜を形成する方法である。SOG法で SiO_2 膜を形成後1100~1200℃で熱処理することにより上記と同様の効果が得られる。すなわちSOG法の場合も、ラマン散乱スペクトルから求められる5員環以上の多員環の積分強度比が実質的に全体の85%以上、3員環又は4員環の積分強度比が実質的に全体の15%以下とすることにより、転位が抑制され、リーク電流が低減する。樹脂ガラスについては特公昭58-51422号公報、米国特許3985597号公報、4004044号公報等に記載されている。これらの樹脂ガラスは市販されており、たとえばAllied Signal-Accuspin 418/720, Allied Signal-Accuglass T-11/T-14, Dow-Corning 805, Owens-Illinois 650, General Electric SR125/SR124等を用いればよい。80℃~100℃のプリベーク後、600℃程度の低温アニールを行ない、その後1100℃~1350℃の高温アニールを行うようにしてもよい。

【0042】（第2の実施の形態）図7(f)は本発明の第2の実施の形態に係るバイポーラ集積回路用素子分離半導体基板の構造を示す断面図で、図7(a)~7(e)は図7(f)の構造に至るまでの製造方法を示す模式的な断面図である。本発明の第2の実施の形態に係るバイポーラ集積回路用素子分離半導体基板の製造方法は、

(イ) まず、図7(a)に示すようにp型のシリコン基板13の表面に水蒸気酸化により200~350 nm の SiO_2 膜14を形成する。

【0043】(ロ) 次にこの SiO_2 膜14をフォトリソグラフィ法を用いて図7(b)に示すようにフォトレジストをマスクとしてパターンニングし、一部のシリコン基板13の表面を露出させ、拡散マスク14を形成する。そしてこの拡散マスク14を用いてSb（アンチモン）を熱拡散させ、不純物密度 $3 \times 10^{20} \text{cm}^{-3}$ の、n⁺埋込層15を形成する。

【0044】(ハ) 酸化膜除去後、図7(c)に示すように、 SiH_4 や SiH_2Cl_2 等のシラン化合物とドーピングガスとしての PH_3 等のリン化合物をH₂キャリアガスを流しながら高温で分解し基板上に膜厚2.5 μm のn層16をエピタキシャル成長させる。

【0045】(ニ) 次にn層16の上に酸化膜17を0.3 μm 程形成させフォトリソグラフィ法により酸化膜17の上にフォトレジストのパターンを形成した後、フォトレジストをマスクにして酸化膜17に窓を開け、エッチング用マスク17を形成する。その後フォトレジストを除去し酸化膜17をマスク層としてn層16の選択的エッチングを行なって図7(d)に示すように、n層16中に約3 μm の深さの溝を形成する。この選択的エッチングは異方性をもたせるため CCl_4 、あるいはC

、Br、F₂によるRIE法を用いる。溝のアスペクト比が大きい場合はSF₆。ガスプラズマによる低温マイクロ波プラズマエッチングが好ましい。たとえば基板温度を-80℃〜-150℃に冷却してプラズマエッチングを行なえばよい。

【0046】(ホ)さらに本発明の第1の実施の形態の場合と同様にTEOS、TMOS、TPOS等の有機シリコンソースを原料としてCVD法で図7(e)に示すように溝を埋め込む。

【0047】(ヘ)最後に、この表面を図8(f)に示すように平坦化を行なった後、1100〜1350℃の高温で、N₂雰囲気中で2時間保持し熱処理を行う。この熱処理の雰囲気はN₂ガス以外のO₂、HCl、還元性ガス、不活性ガスでも可能である。なお、上記説明とは順序を変更し、CVD直後に1100℃〜1350℃の熱処理を先に行ない、その後エッチバック、すなわち平坦化しても同様の効果がある。この溝を素子分離領域として、その間にn⁺コレクタ引出し領域20、p⁺ベース領域21、n⁺エミッタ領域22を形成し、図7(f)に示すようにバイポーラトランジスタを完成する。図7(f)には簡単化のためにエミッタ金属電極、コレクタ金属電極や層間絶縁膜等の図示を省略しているが、標準的なバイポーラICの構造であり、これらの金属電極、絶縁膜は当然具備されているものである。

【0048】図8は本発明の第2の実施の形態に係るnpnバイポーラトランジスタの素子特性をTEGパターンを用いてリーク電流について調査した結果である。p⁺ベース領域21とnコレクタ領域16との間でのp⁺-n接合に対応したTEGパターンのリーク電流を測定し、各熱処理温度に対してプロットしている。TEGパターンのダイオード面積は350×240μmである。本発明の温度範囲(1100℃〜1350℃)においてp⁺-n接合のリーク電流は1.7×10⁻⁴A/cm²以下に低下しており、リーク電流発生原因である転位が抑制されていることがわかる。

【0049】(第3の実施の形態)図9(g)は本発明の第3の実施の形態に係る素子分離半導体基板の断面図で、図9(a)〜(f)は図9(g)に至るまでの製造方法を示す模式的な断面図である。本発明の第3の実施の形態においてはBiCMOS集積回路に適用する場合について説明するが、MOS集積回路、バイポーラ集積回路、静電誘導トランジスタ(SIT)集積回路等にも適用できることはもちろんである。本発明の第3の実施の形態に係るBiCMOS集積回路用半導体基板の製造方法は、

(イ)まず、図9(a)に示すように(100)面等所定の面方位の第1の主表面(表面)および第2の主表面(裏面)を有したn型シリコン基板(半導体基板)23を用意する。このn型シリコン基板23の表面(第1の主表面)にCVD法により厚さ1μmのSiO₂膜56

を形成する。CVDはTEOS、HMDS(Hexamethyldisiloxane; Si₂O(C₂H₅)₂)、OMCTS(Octamethylcyclotetrasiloxane; c(OSi(C₂H₅)₂)₄)等の有機シリコンソースを用いればよい。

【0050】(ロ)次に図9(a)のSiO₂CVDをしたn型シリコン基板23を1100℃〜1200℃、N₂雰囲気中で2時間保持し熱処理する。その後、裏面を吸引固定させながら機械的及び化学的研磨(CMP)法等を用いて酸化膜を0.3μmの厚さに平坦化して、直接接合(以下「SDB」という)用酸化膜25を図9(b)に示すように形成する。

【0051】(ハ)次に、表面を鏡面に研磨したシリコン基板26を別に用意し、SDB用酸化膜25を介して図9(c)に示すようにn型シリコン基板23と、シリコン基板26とを互いに貼り合わせ、1100℃で1時間〜2時間熱処理することにより、SDB基板を形成する。この際電圧を印加して、熱処理してもよい。次にn型シリコン基板23の裏面(第2の主表面)を研磨してn型シリコン基板23の厚みが1μmとなるように、厚み調整を行なう。なお、シリコン基板の貼り合わせを1100℃以上で行なえば、実質的に上記(ロ)の熱処理と同等な効果を得ることができるので、上記(ロ)の熱処理を省略して、貼り合わせ時の熱処理で兼ねることも可能である。また貼り合わせ時の熱処理を1200℃にする方法、あるいは貼り合わせ時の熱処理を1100℃と1200℃の2段階で行うことも可能である。

【0052】(ニ)次に図9(c)の状態を上下逆転し、図9(d)のようにn型シリコン基板23の裏面(第2の主表面)を上とする。このSDB法により形成したn型シリコン基板23の第2の主表面に300nmの熱酸化膜17を形成し、フォトリソグラフィ法により、フォトレジストをマスクとして熱酸化膜17の一部を所定のパターンにエッチング除去し、さらに熱酸化膜17のエッチング用マスクとして用いたフォトレジストを除去する。こうして得た熱酸化膜17をマスクとしてCCl₄、SF₆等によるRIEを用いて、図9(d)に示すように、n型シリコン基板23の一部を、SDB用酸化膜25が露出するまで深さ1μmエッチングし、U溝6を形成する。

【0053】(ホ)次に、図9(e)に示すようにTEOS、TMCTS(1,3,5,7-tetramethylcyclotetrasiloxane; c(OSiHCH₃)₄)、又はTES(Triethylsilane; SiH(C₂H₅)₃)等の有機シリコンソースを用いた減圧CVD法(LPCVD法)等により、SiO₂膜7を1.1〜1.5μm堆積する。LPCVD法のかわりにECRプラズマCVD法やICP-CVD法を用いてもよい。このU溝6を埋め込む材料として、

有機シリコンソースに酸化剤例えば N_2 , O , O_2 , O_3 , などを加えたものでもよい。又、有機シリコンソース、 SiH_4 などのシリコン水素化合物、 $SiCl_4$ などのシリコン塩化物を単独、もしくはこれらのうちのいずれかの原料の2種類以上を混合して原料としたCVD法によってもU溝6をシリコン酸化膜7で埋め込むこともできるし、それぞれの原料に酸化物を加えてもかまわない。

【0054】(ヘ) 続いて、CDE法等によってCVD SiO_2 膜7をエッチバックすることによりU溝6に埋

込まれた部分以外のn型シリコン基板23の表面を外部に露出させ、図9(f)に示すように平坦化させる。
【0055】(ト) 図9(f)に示す状態の有機シリコンソースを用いたCVD法により形成された埋込み酸化膜71は SiO_2 以外の不純物例えば水を多く含有するため、1100~1350℃において熱処理を行なう。この熱処理はたとえば N_2 中で2時間程度でよいが、この際の雰囲気ガスは O_2 , HCl 、還元性ガス、不活性ガスあるいは CO , CO_2 でも同様の結果が得られる。この熱処理後、埋込み酸化膜71で囲まれたn型シリ

コン基板23からなる素子形成領域に、周知のMOSプロセス、バイポーラプロセスを用いて、それぞれCMOS回路、バイポーラ回路を構成すれば、図9(g)に示すようなBiCMOS集積回路が完成する。なお、上記(ロ)の工程における1100℃~1200℃の熱処理を省略して、上記(ト)の工程における1100℃~1350℃の熱処理で代用しても、ほぼ本発明の目的を達成できる。この場合は工程の簡略化という利点がある。

【0056】以上説明したように素子分離絶縁膜として有機シリコンソース、例えばTEOSを原料としたCVD法による絶縁材料を用いる場合において、本発明の第3の実施の形態の熱処理をすることで応力を低減させ、素子分離領域形成中またはその後の素子製造工程における熱処理中における転位の発生や増殖を低減することができる。したがって、本発明の第3の実施の形態によれば素子形成領域中に形成されたpn接合のリーク電流の値を $1.7 \times 10^{-8} A/cm^2$ 以下に低下させることができ、BiCMOS集積回路の高性能化が実現できる。

【0057】なお、上記第1~第3の実施の形態におけるU溝深さdのU溝幅 l_1 に対するアスペクト比 d/l_1 は一例であり、上記の説明のアスペクト比に限られる必要はない。図10に示すようにアスペクト比 d/l_1 が10以下のU溝に埋め込んだ酸化膜を本発明の熱処理条件(1100℃~1350℃)において熱処理すれば、欠陥密度は低下するので、アスペクト比 d/l_1 は10以下の値ならば適宜選択してよい。なお、図10に示すように1000℃、1050℃等の本発明の熱処理条件の範囲外の場合は、アスペクト比 d/l_1 が10以下でも欠陥密度は低減しないことがわかる。

【0058】図13は一定方向のライン・アンド・ス

ースの繰り返しパターンにおいて分離溝の幅 l_1 と、素子形成領域の幅 l_2 との比 l_1/l_2 を変えた場合の、素子形成領域における欠陥密度(転位ピット密度)を調べた結果である。すなわち、素子分離領域のU溝6を図11のように並べたライン・アンド・スペース・パターンにおいて、素子分離領域の幅 l_1 と素子形成領域の幅 l_2 の比を0.003~1.0の間で変化させて埋め込み素子分離基板を作製し、その素子形成領域における転位ピットを選択エッチングして顕在化させ測定したものである。図11(a)は図11(b)のX-X方向断面図である。この場合有機シリコンソースを原料としたCVD法で酸化膜をU溝中に埋め込み、1000, 1050, 1100, 1200, 1350℃で2時間の熱処理を行って比較した結果が図13である。図13に示すように l_1/l_2 が1.5以上で欠陥は増加している。したがって、本発明は素子分離領域の幅 l_1 が素子形成領域の幅 l_2 の1.5倍以下で効果があり、この範囲ならば、上記第1~第3の実施の形態における l_1/l_2 以外の値を任意に選択して用いてもよい。 $l_1/l_2 \leq 1.5$ という条件は一定方向のライン・アンド・スペース・パターンで定義されるものである。たとえば図12に示すようにX-X方向のライン・アンド・スペース・パターンとY-Y方向のライン・アンド・スペースの方向がある場合は、いずれかの方向において定義される l_{1x}/l_{2x} 又は l_{1y}/l_{2y} の値の少なくとも一方が1.5以下であればよい。図12のようなパターンはMOS・DRAM等で代表的なパターンである。

【0059】(第4の実施の形態) 図14(e)は本発明の第4の実施の形態に係る素子分離半導体基板の断面図で、図14(a)~(d)は図14(e)に至るまでの製造方法を示す模式的な断面図である。本発明の第4の実施の形態においてはCMOS集積回路に適用する場合について説明するが、nMOS(集積回路)その他のMOS集積回路、バイポーラ集積回路、BiCMOS集積回路、SIT集積回路等にも適用できることはもちろんである。本発明の第4の実施の形態に係るCMOS集積回路用半導体基板の製造方法は、

(イ) まず図14(a)に示すように、第1の主表面(表面)および第2の主表面(裏面)を有するn型の(100)面シリコン基板23を用意し、その第1の主表面の所定の場所に深さ1.2~1.5 μm のV溝を形成する。所定の場所とは最終的に素子分離領域となる場所という意である。このV溝の形成は周知の方法、たとえば、n型シリコン基板23の表面(第1の主表面)に150~300nmの熱酸化膜を形成し、フォトリソグラフィ法により、熱酸化膜の所定の部分をエッチング除去し、この熱酸化膜をマスクとして、n型シリコン基板23をKOH、あるいはエチレンジアミンピロカテコール(EDP)等を用いて異方性エッチングすればよい。なお、V溝は一例であり、本発明の第1~第3の実施の

形態と同様にU溝でもよい。U溝の場合は CCl_4 、 SiCl_4 、 PCl_5 、 SF_6 等を用いたRIEやECRイオンエッチングで深さ $1.2 \sim 1.5 \mu\text{m}$ となるように形成すればよい。U溝、V溝いずれの場合も、分離溝の幅 l_1 と素子形成領域の幅 l_2 の比 l_1/l_2 が 1.5 以下になるようにするのが好ましい。次にTEOS、DADBS、OMCTS、TMS、HMD等の有機シリコンソースを用いたLPCVD法により酸化膜を厚さ $1.7 \sim 2 \mu\text{m}$ 程度形成する。厚さ $1.7 \sim 2 \mu\text{m}$ とは溝部の形成されていない平坦部の厚さをいう。なお有機シリコンCVD法のかわりに塗布ガラス(SOG)をスピナー等により塗布してもよい。

【0060】(ロ)次に図14(a)の SiO_2 CVDをしたn型シリコン基板23を 1200°C 、 N_2 雰囲気中で2時間保持し熱処理する。その後、裏面(第2の主表面)を吸込固定させながらのCMP法等を用いて酸化膜を $0.3 \mu\text{m}$ の厚さに平坦化して、SDB用酸化膜25を図14(a)に示すように形成する。この際の雰囲気ガスは O_2 、 HCl 、還元性ガス、不活性ガスあるいは CO 、 CO_2 でも同様の結果が得られる。

【0061】(ハ)次に、表面を鏡面に研磨したシリコン基板26を別に用意し、SDB用酸化膜25を介して図14(c)に示すようにn型シリコン基板23と、シリコン基板26とを互いに貼り合わせ、 $1100^\circ\text{C} \sim 1150^\circ\text{C}$ で60分～2時間熱処理することにより、SDB基板を形成する。この際減圧(真空)した状態でパルス電圧を印加して、熱処理してもよい。たとえば、 0.1 Pa まで減圧して、 800°C において $\pm 350 \text{ V}$ のパルス電圧を10分程度印加すればよい。

【0062】(ニ)次にn型シリコン基板23の裏面(第2の主表面)を研磨し、n型シリコン基板23の厚みが $1 \mu\text{m}$ となるようにすれば、n型シリコン基板23の裏面にSDB用酸化膜25の一部が露出する。図14(d)はこの状態の基板の断面図を示すが、図14(c)と上下関係を逆転して、上側にn型シリコン基板23が位置するようになっている。したがって、この工程により、n型シリコン基板の第2の主表面に、埋め込み酸化膜25で周囲を囲まれた素子形成領域23が完成することとなる。

【0063】(ホ)次に図14(e)に示すような周知のMOSプロセスを用いて素子形成領域23の内部にpウェル31を形成し、さらにpウェル31の内部にn⁺ソース/ドレイン領域32、33、素子形成領域23のpウェルの形成されていない部分にp⁺ソース/ドレイン領域34、35を形成し、さらにその表面にゲート酸化膜、ポリシリコンゲート電極98、98、金属配線を形成すれば、本発明の第4の実施の形態に係るCMOS集積回路が完成する。

【0064】本発明の第4の実施の形態では1回の有機シリコン系CVD法(もしくはSOGの塗布)によりS

DB酸化膜と埋め込み酸化膜が同時に形成でき、図9

(a)～(g)に示した第3の実施の形態よりも工程数が減少し、その分生産性が高くなる。また第3の実施の形態に比して、熱処理工程も少なくなるのでより少ない熱履歴で半導体装置が製造でき、結晶欠陥の低減と微細構造の実現が容易となる。

【0065】また有機シリコン系CVD法は段差被覆性が優れており、しかも熱酸化でSDB酸化膜を形成するよりも低温かつ短時間で厚い酸化膜が形成できるので、熱酸化の場合のような酸化誘起欠陥(OSF)も発生しない。したがって素子形成領域中での結晶欠陥も少なく、結果としてCMOS回路中のリーク電流が低減する。また段差被覆性に優れていることから、図14

(a)に示すような場合に限らず、種々の凹凸形状を有した基板を用いて、その平坦度に影響されずにSOI基板を作成することができる。

【0066】本発明の第4の実施の形態でU溝を用いてもよいことは前述したが、その場合のアスペクト比は 10 以下にすることが好ましいことはもちろんである。またV溝の場合もその深さ d とV溝の表面側の開口部幅 l_v との比 d/l_v が 10 以下が好ましい。

【0067】以上説明したようにCMOS集積回路において、素子分離絶縁膜としてTEOS等の有機シリコンソースを原料としたCVDによる絶縁材料を用いる場合において、本発明の第4の実施の形態の熱処理をすることで応力を低減させ、素子分離領域形成中またはその後の素子製造工程における熱処理中における転位の発生や増殖を低減することができる。したがって、本発明の第4の実施の形態によれば素子形成領域中での形成されたpn接合のリーク電流の値を $1.7 \times 10^{-4} \text{ A/cm}^2$ 以下に低下させることができ、CMOS・LSIの高性能化が実現できる。

【0068】なお、上記本発明の第1～第4の実施の形態においては常圧CVD法又はLPCVD法でシリコン酸化膜(SiO_2 膜)を堆積させた場合について説明したが、 SiO_2 のCVDは液相CVD法でも行なうことができる。この場合は O_2 ガスをマイクロ波放電させTMSと反応させ、基板温度を堆積粒子の沸点以下の -40°C にし、シリコン酸化膜を堆積させればよい。液相CVD後、本発明の第1～第4の実施の形態と同様に熱処理を行えば、上記実施の形態と同様の効果が得られる。さらに電解液としてエチレングリコール、N-メチルアセトアミドを溶媒とし硝酸カリウムを少量加え、シリコン基板を陽極、白金を対向電極とした陽極酸化によってU溝中に SiO_2 膜を形成してもよい。この場合も上記各実施の形態と同様の $1100^\circ\text{C} \sim 1350^\circ\text{C}$ での熱処理を行えば、同様の効果が得られる。又、プラズマCVD法による SiO_2 膜でU溝を埋め込むことも可能である。

【0069】

【発明の効果】以上詳述したようにシリコン半導体基板上のMOS集積回路、バイポーラ集積回路、BiCMOS集積回路あるいはSIT集積回路において、素子分離絶縁膜として有機シリコンソース、例えばTEOSを原料としたCVD法による絶縁材料を用いる場合において、本発明の熱処理をすることで応力を低減させ、素子分離領域形成中またはその後の素子製造工程における熱処理中における転位の発生や増殖を低減することができる。したがって、本発明によれば素子形成領域中に形成されたpn接合のリーク電流の値を $1.7 \times 10^{-8} \text{ A/cm}^2$ 以下に低下させることができ、MOSLSIやバイポーラLSI等の集積回路の高性能化が実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るMOS集積回路用の埋込素子分離半導体基板の製造工程を示す図である。

【図2】埋め込み酸化膜の熱処理温度と素子形成領域に発生する結晶欠陥密度の関係を示す図である。

【図3】埋め込み酸化膜の熱処理温度と素子形成領域に形成されたpn接合のリーク電流との関係を示す図である。

【図4】熱処理をした場合（アニール1、アニール2）と、しない場合の酸化膜によるラマン散乱スペクトル図である。

【図5】ラマン散乱の各ピークの積分強度比の、酸化膜の熱処理温度依存性を示す図である。

【図6】熱処理によるエッチング速度の変化を示す図である。

【図7】本発明の第2の実施の形態に係るバイポーラ集積回路用の埋込素子分離半導体基板の製造工程を示す図である。

【図8】埋め込み酸化膜の熱処理温度と素子形成領域に形成されたpn接合のリーク電流との関係を示す図である。

【図9】本発明の第3の実施の形態に係るBiCMOS集積回路用の埋込素子分離半導体基板の製造工程を示す図である。

【図10】溝のアスペクト比と欠陥密度との関係を示す

図である。

【図11】溝の幅と素子形成層の幅との関係を示す図である。

【図12】2つの方向にライン・アンド・スペース・パターンが存在する場合を示す平面図である。

【図13】図11（又は図12）に示した $1_1/1_2$ と、欠陥密度との関係を示す図である。

【図14】本発明の第4の実施の形態に係るCMOS集積回路用の埋込素子分離半導体基板の製造工程を示す図である。

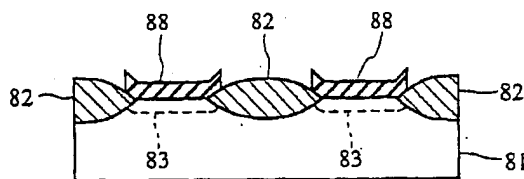
【図15】従来技術として代表的なLOCOS法による素子分離半導体基板の構造を示す図である。

【図16】従来の埋込素子分離技術における転位の発生を示す図である。

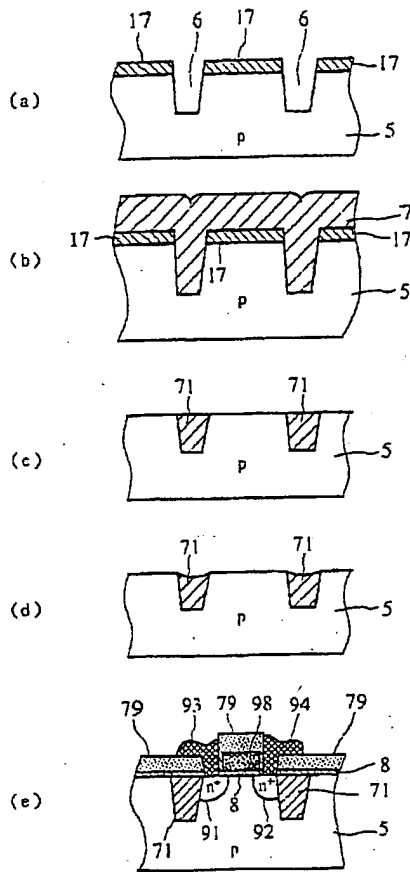
【符号の説明】

- 5, 13 p型シリコン基板
- 6 U溝
- 7, 71, 77 埋め込み酸化膜
- 8 ゲート酸化膜
- 12 転位
- 14, 17 酸化膜
- 15 n⁺埋め込み領域
- 16 nエピタキシャル成長層
- 20 n⁺コレクタ電極取り出し領域
- 21 pベース領域
- 22 n⁺エミッタ領域
- 23, 81 シリコン基板
- 24, 25 SDB用酸化膜
- 26 n型シリコン基板
- 78, 79 層間絶縁膜
- 82 酸化膜
- 83 素子形成領域
- 88 窒化膜
- 91 n⁺ソース領域
- 92 n⁺ドレイン領域
- 93 ソース電極
- 94 ドレイン電極
- 98, 99 ポリシリコンゲート電極

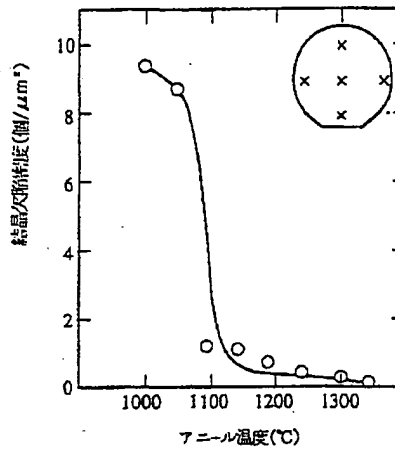
【図15】



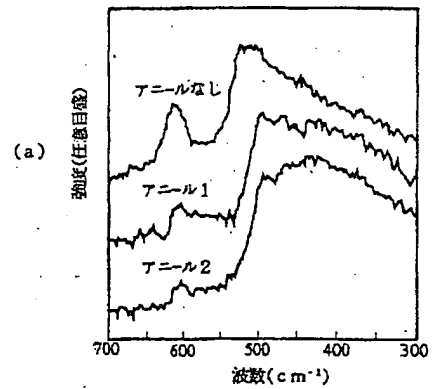
【図 1】



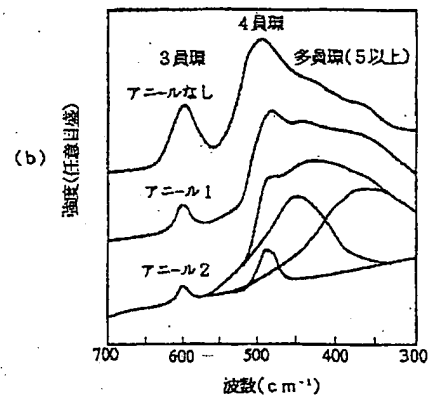
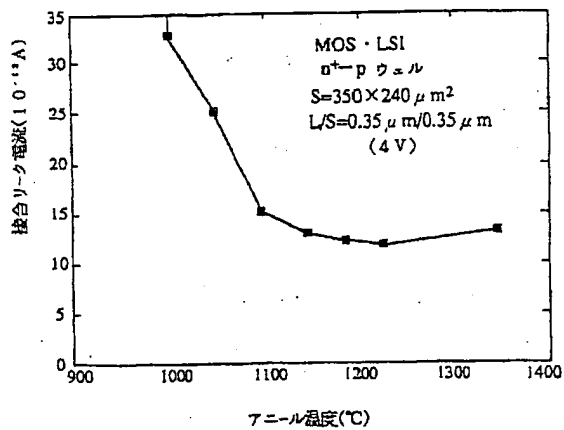
【図 2】



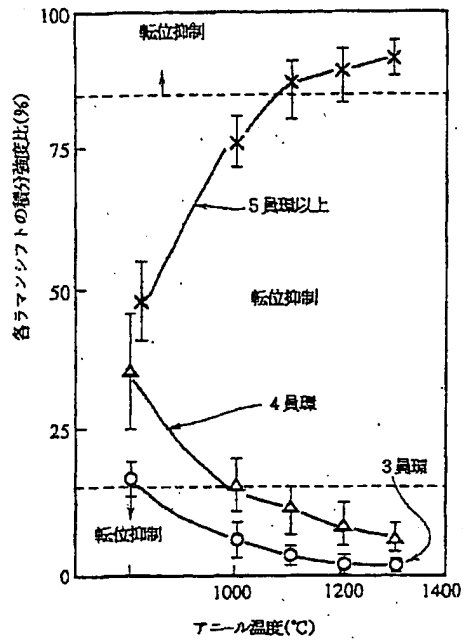
【図 4】



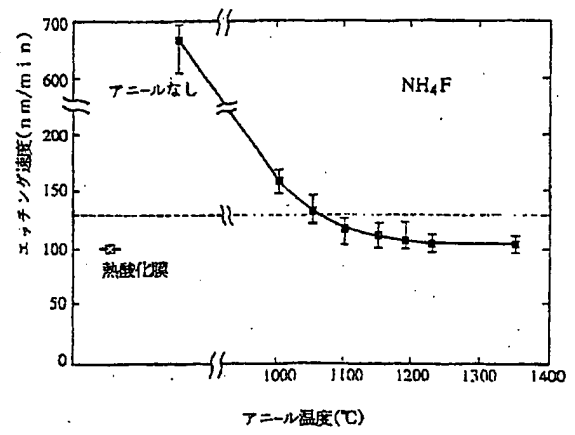
【図 3】



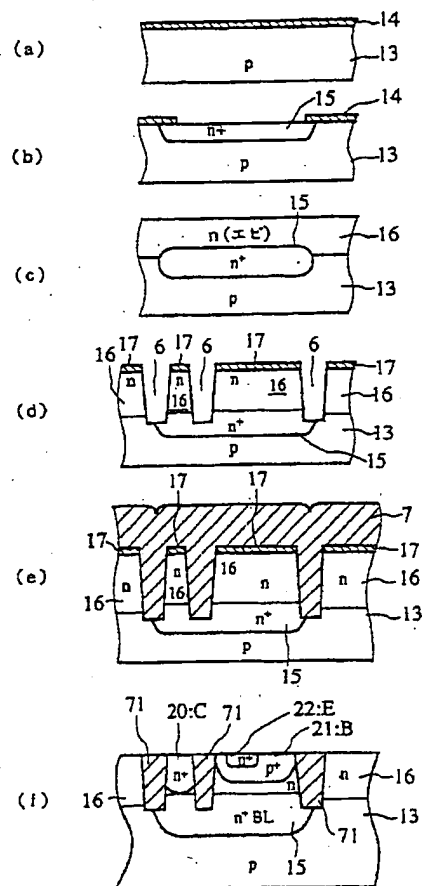
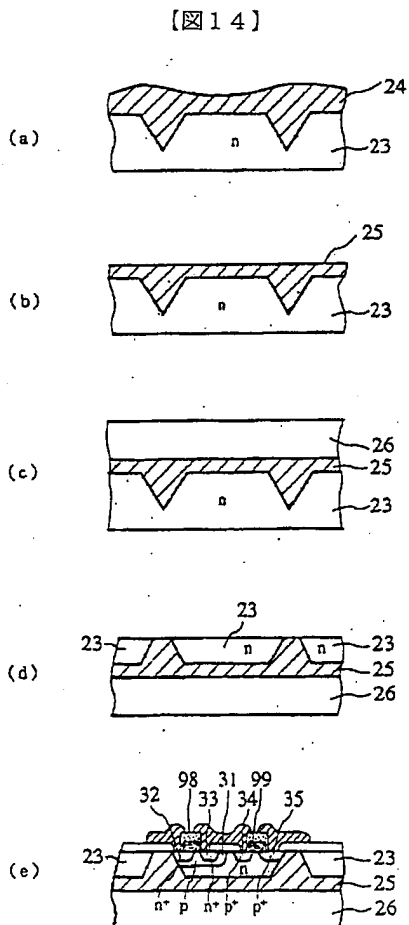
【図 5】



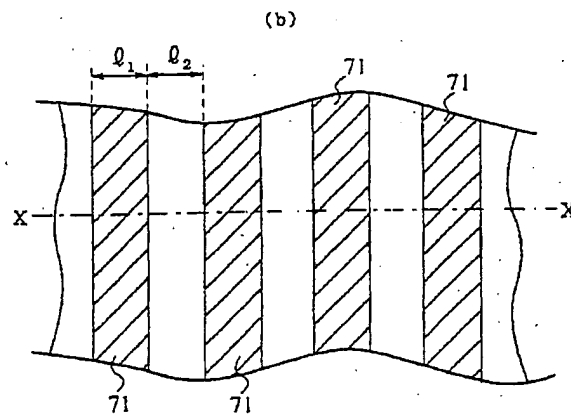
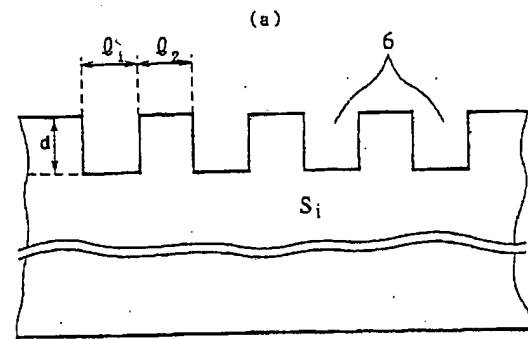
【図 6】



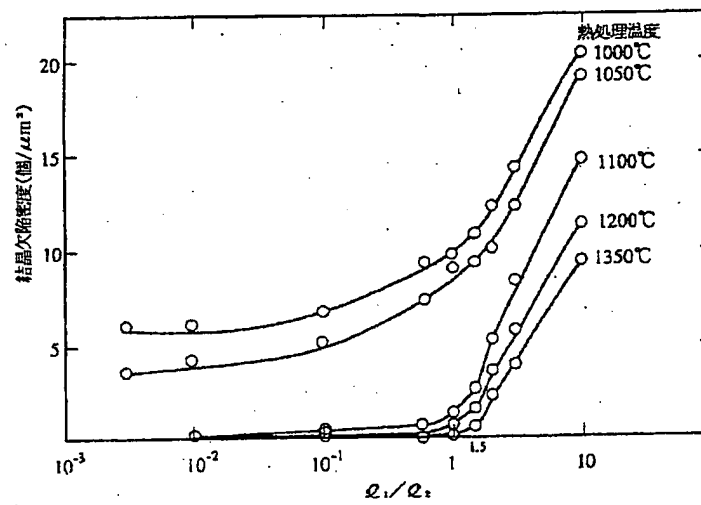
【図 7】



【図 11】



【図 13】



フロントページの続き

(72) 発明者 上條 浩幸

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72) 発明者 八木下 淳史

神奈川県川崎市幸区小向東芝町 1 株式会
社東芝研究開発センター内

(72) 発明者 北 恒博

神奈川県川崎市幸区小向東芝町 1 株式会
社東芝多摩川工場内